



UNIÓN EUROPEA
Fondo Europeo de
Desarrollo Regional (FEDER)
Una manera de hacer Europa



Fecha del CVA	

Parte A. DATOS

PERSONALES

Nombre y apellidos	MARIA DEL PILAR PARRA FERNÁNDEZ		
Núm. identificación del investigador	Researcher ID	J-8232-2018	
	Código Orcid	0000-0003-2121-8247	

A.1. Situación profesional actual

Organismo	Universidad de Sevilla		
Dpto./Centro	Tecnología Electrónica		
Dirección	Sevilla, Andalucía, España		
Teléfono	954552785	correo electrónico	pparra@us.es
Categoría profesional	Profesor titular de Universidad	Fecha inicio	2010
Espec. cód. UNESCO	3307-03 (Diseño de circuitos) y -93 (Microelectrónica. Diseño). Diseño digital VLSI		
Palabras clave	Diseño, modelado y evaluación de circuitos digitales CMOS VLSI, ASICs y FPGAs, altas prestaciones (temporización, consumo de potencia y ruido de conmutación), circuitos aritméticos, criptográficos y arquitecturas de computadores		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Licenciada en Física (Electrónica)	UNIVERSIDAD DE SEVILLA	1990
Doctor en Física	UNIVERSIDAD DE SEVILLA	2010

A.3. Indicadores generales de calidad de la producción científica

- Sexenios de investigación: 1
- Tesis dirigidas en los últimos 10 años: 1
- Citas totales: 124 (Google Scholar)
- Promedio citas/año en los últimos 5 años: 8.6
- Índice h:6 (Google Scholar)
- Otros indicadores i10 5 (Google Scholar)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Miembro de la Universidad de Sevilla (US).

Investigadora adscrita al IMSE (CNM/CSIC).

Miembro del grupo (Junta de Andalucía) **TIC 180: Diseño de Circuitos Integrados Digitales y Mixtos** desde 1990.

Mi trayectoria científica está ligada a la US en el Departamento de Tecnología Electrónica (1990-hoy) como Profesor Ayudante, Asociado, TEU y Titular de Universidad

Mis temas de interés han sido durante estos años el diseño de sistemas electrónicos digitales y de señal mixta, con especial interés en los circuitos aritméticos, y el diseño microelectrónico para baja potencia y bajo ruido en tecnologías CMOS VLSI. En este marco se encuadra mi tesis doctoral (Ruido de conmutación en circuitos integrados digitales CMOS) y otras publicaciones referenciadas. También he codirigido la tesis doctoral de D. Javier Castro Ramírez de título "Desarrollo y aplicaciones de técnicas de control de corriente de alimentación en circuitos integrados digitales CMOS"

En los últimos años, además del diseño y modelado de circuitos de altas prestaciones, he incorporado a mi trabajo otras áreas de interés como son el diseño y mejora frente a posibles ataques de microcircuitos seguros para la transmisión de información (criptocircuitos), con participación en diversos proyectos de investigación relacionados.

Por otro lado, en el ámbito docente, mi dedicación ha sido a tiempo completo y continuada desde el año 1990 y hasta el día de hoy con todo tipo de actividades docentes en Ingeniería Técnica Industrial e Ingenierías y Grados de Ingeniería Informática. Además he participado en varios proyectos de Innovación docente de la Universidad de Sevilla y parte de mi labor científica está dedicada a publicaciones relativas a la Electrónica aplicada a la enseñanza.



UNIÓN EUROPEA
Fondo Europeo de
Desarrollo Regional (FEDER)
Una manera de hacer Europa



Parte C. MÉRITOS MÁS RELEVANTES (ordenados por tipología)

C.1. Publicaciones

1. Libros:

C. Baena, M.P. Parra, M. Bellido, A. Molina y M. Valencia. 1997. "Problemas de Circuitos y Sistemas Digitales" ISBN: 84-481-0966-X. Editorial McGraw-Hill Interamericana.

2. Capítulo de Libro.

Parra-Fernández, María Del Pilar et al.2009. "Aplicación de técnicas de evaluación continua en grupos numerosos de alumnos. Experiencia de innovación universitaria (i) (ISBN 978-84-86849-70-2). Curso 2006-2007. Instituto de Ciencias de la educación de la Universidad de Sevilla. Págs: 351-365.

3. Artículos y Comunicaciones en Congresos:

Potestad-Ordóñez, Jiménez-Fernández, Valencia-Barrero, Baena, Parra: Floorplanning as a practical countermeasure against clock fault attack in Trivium stream cipher, DCIS. 2018. DOI: 10.1109/DCIS.2018.8681467

Carlos J. Jiménez-Fernández; Pilar Parra; Carmen Baena; Eugenio Potestad; Manuel Valencia "FPGA design example for maximum operating frequency measurements". Actas del XIII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica, TAEE 2018, La Laguna, 20-22 junio de 2018. DOI: 10.1109/TAEE.2018.8476046

Carlos J. Jiménez-Fernández; Pilar Parra; Carmen Baena; Eugenio Potestad; Manuel Valencia "Distance measurement as a practical example of FPGA design" Actas del XIII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica, TAEE 2018, La Laguna, 20-22 junio de 2018. DOI: 10.1109/TAEE.2018.8476143

J Castro, P Parra, AJ Acosta "Optimization of clock-gating structures for low-leakage high-performance applications" Circuits and Systems (ISCAS), Proceedings of 2010 pp 3220-3223, <https://doi.org/10.1109/ISCAS.2010.5537934>

R Jiménez, P Parra, P Sanmartín, AJ Acosta "Analysis of high-performance flip-flops for submicron mixed-signal applications" Analog Integrated Circuits and Signal Processing, (2002), 33 (2), 145-156, <https://doi.org/10.1023/A:1021216015286>

P Parra, A Acosta, M Valencia "Reduction of switching noise in digital CMOS circuits by pin swapping of library cells" Proceedings of PATMOS conference, 2001, 9.3.1-9.3.10

P Parra, A Acosta, M Valencia "Selective clock-gating for low power/low noise synchronous counters Integrated Circuit Design". Lecture Notes in Computer Science.(2002) 2451.448-457

P Parra, AJ Acosta, R Jiménez, M Valencia "Selective Clock-Gating for Low-Power Synchronous Counters Journal of Low Power Electronics" (2005) 1 (1), 11-19

J Castro, P Parra, M Valencia, AJ Acosta "A switching noise vision of the optimization techniques for low-power synthesis" 18th European Conference on Circuit Theory and Design, 2007. ECCTD 2007 pp156.-159

P Parra, AJ Acosta, M Valencia "Switching-noise reduction in clock distribution in mixed-mode VLSI circuits" Proceedings of SPIE: VLSI Circuits and Systems 2003, 564-573

J Castro, P Parra, M Valencia, AJ Acosta "Asymmetric clock driver for improved power and noise performances" IEEE International Symposium on Circuits and Systems, 2007. ISCAS 2007, pp 893-896

J Castro, P Parra, AJ Acosta, "An improved differential pull-down network logic configuration for DPA resistant circuits" The 22nd International Conference on Microelectronics (ICM), 2010 International Conference on, 311-314

J Castro, P Parra, AJ Acosta "Performance analysis of full adders in CMOS technologies" VLSI Circuits and Systems II 5837, (2006) 339-349

R Jimenez, P Parra, P Sanmartin, A Acosta, "High-performance edge-triggered flip-flops using weak-branch differential latch" Electronics Letters 38 (21)(2002), 1243-1244

AJ Acosta, JM Mora, J Castro, P Parra, "Effects of buffer insertion on the average/peak power ratio in CMOS VLSI digital circuits" VLSI Circuits and Systems III (2007), 659007



UNIÓN EUROPEA
Fondo Europeo de
Desarrollo Regional (FEDER)
Una manera de hacer Europa

P Parra, J Castro, M Valencia, AJ Acosta, "Application of clock gating techniques at a flip-flop level to switching noise reduction in VLSI circuits" VLSI Circuits and Systems II 5837, 1003-1015

R Jiménez, P Parra, P Sanmartín, AJ Acosta "A new hybrid CBL-CMOS cell for optimum noise/power application" International Workshop on Power and Timing Modeling, Optimization and Simulation, 491-500

R Jimenez, P Parra, PM Sanmartin, AJ Acosta, "Analysis of current-mode flip-flops in CMOS technologies" VLSI Circuits and Systems 5117, 515-527

JM Quintana, MJ Avedillo, MP Parra, JL Huertas, "Optimum PLA folding through boolean satisfiability" Design Automation Conference, 1995. Proceedings of the ASP-DAC'95/CHDL'95, pp. 289-293

C. J. Jiménez Fernández, A. Alberto López Hinojo, C. Baena Oliva, P. Parra Fernández and M. Valencia Barrero; "Educational applications of a pico-processor design". Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica (DOI:10.1109/Tae 2016.7528250. Electronic ISBN: 978-1-5090-2264-9).

C. J. Jiménez Fernández, P. Parra Fernández, C. Baena Oliva and M. Valencia Barrero. "Creating helping posters for electronic labs". Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica (DOI: 10.1109/TAEE.2016.7528249, Electronic ISBN: 978-1-5090-2264-9).

Jiménez-Fernández, Carlos Jesús; Baena-Oliva, Carmen; Valencia-Barrero, Manuel; Fernández Juan M. y Moreno Alejandro. 2014. " A message transmission system with lightweight encryption as a project in a Master subject ". Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica (Tae 2014).Págs: 573-578. Bilbao, España.

Romero-Ternero, María del Carmen; Baena-Oliva, Carmen; Gómez-González, Isabel María; Parra Fernández, María del Pilar; Sivianes Castillo, Francisco y Valencia-Barrero, Manuel. 2010. "Innovative Learning and Teaching Methodology in Electronic Technology Area. A case of Study in Computer Science University degrees". IEEE Education Engineering (EDUCON 2010).

Jiménez-Fernández, Carlos Jesús; Baena-Oliva, Carmen; Valencia-Barrero, Manuel y Ostúa Arangüena, Enrique. 2006. "Introducción de dispositivos programables en prácticas de laboratorio". Congreso de tecnologías aplicadas a la enseñanza de la Electrónica (TAE 2006).

Jiménez, C.J., Valencia, M., Baena, C., Parra, P., Acosta, A., Mora, J.M., Tena, E. y Potestad, E. "Diseño de circuitos integrados y seguridad de circuitos criptográficos frente a ataques". III Jornada de Investigación y Postgrado de la Escuela Politécnica Superior. ISBN 978-84-946089-8-8 y con DOI: <http://dx.doi.org/10.17993/IngyTec.2016.16>

F. E. Potestad-Ordóñez; C. J. Jiménez-Fernández; A. Gallardo-Soto; M. Valencia-Barrero; C. Baena-Oliva; P. Parra-Fernández; E. Tena-Sánchez, "ICs tester design and its effect on application in electronics laboratories," 2022 Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (XV Technologies Applied to Electronics Teaching Conference), 2022, pp. 1-4, doi: 10.1109/TAEE54169.2022.9840565.

Potestad-Ordóñez FE, Valencia-Barrero M, Baena-Oliva C, Parra-Fernández P, Jiménez-Fernández CJ. Breaking Trivium Stream Cipher Implemented in ASIC Using Experimental Attacks and DFA. Sensors. 2020; 20(23):6909. <https://doi.org/10.3390/s20236909>

C. J. Jiménez-Fernández, C. B. Oliva, P. P. Fernández, F. E. Potestad-Ordóñez and M. Valencia-Barrero, "An Academic Approach to FPGA Design Based on a Distance Meter Circuit," in IEEE Revista Iberoamericana de Tecnologías del Aprendizaje, vol. 15, no. 3, pp. 123-128, Aug. 2020, doi: 10.1109/RITA.2020.3008343.

C. J. Jiménez-Fernández, C. B. Oliva, P. P. Fernández, A. G. Soto, F. E. P. Ordóñez and M. V. Barrero, "Learning VHDL through teamwork FPGA game design," 2020 XIV Technologies Applied to Electronics Teaching Conference (TAEE), 2020, pp. 1-5, doi: 10.1109/TAEE46915.2020.9163756.



UNIÓN EUROPEA
Fondo Europeo de
Desarrollo Regional (FEDER)
Una manera de hacer Europa

C. J. Jiménez-Fernández, C. B. Oliva, P. P. Fernández, et al., "Teaching based on proposed by students designs: a case study," 2022 Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (XV Technologies Applied to Electronics Teaching Conference), 2022, pp. 1-5, doi: 10.1109/TAAE54169.

C.2. Proyectos (entre 5 y 7)

1. TEC2016-80549-R Integración y Validación en Laboratorio de Contramedidas Frente a Ataques Laterales en Circuitos Microelectrónicos. Ministerio de Economía y Competitividad. Acosta Jiménez, Antonio José y Jiménez-Fernández, Carlos Jesús (Universidad de Sevilla). 2016-2019. 104544 €. . 86.400 €. Investigador
2. TEC2013-45523-R. CESAR: CIRCUITOS MICROELECTRONICOS SEGUROS FRENTE A ATAQUES LATERALES. (MEC). Acosta-Jiménez, Antonio José y Jiménez-Fernández, Carlos Jesús (Universidad de Sevilla). 2014-2016. 144.474,00 €. Investigador.
3. TEC2010-16870 CIRCUITOS INTEGRADOS PARA TRANSMISIÓN DE INFORMACIÓN ESPECIALMENTE SEGURA. (MCI). Jiménez-Fernández, Carlos Jesús (Universidad de Sevilla). 2011-2013. 106.722 €. Investigador.
4. FP7-ICT-2009-4. MOBY-DIC MODEL-BASED SYNTHESIS OF DIGITAL ELECTRONIC CIRCUITS FOR EMBEDDED CONTROL. (CEE). Acosta-Jiménez, Antonio José (Universidad de Sevilla). 2009-2012. 450.000 €. Investigador
5. P08-TIC-03674 DISEÑO MICROELECTRÓNICO PARA AUTENTICACIÓN CRIPTO-BIOMÉTRICA. (Junta de Andalucía). Baturone-Castillo, Iluminada (Universidad de Sevilla). 2009-2012. 439.847,36 €. Investigador.
6. TEC2007-61802/MIC HIPER: Técnicas de altas prestaciones para la verificación y diseño de circuitos digitales CMOS Investigador. VLSI. (MEC). Jorge Juan Chico. Universidad de Sevilla. 2007-2010. 212.960,00 €.
7. TEC2004-00840/MIC. META: Modelado, estimación y técnicas de análisis de alta precisión a nivel lógico del consumo de potencia e intensidad en circuitos y sistemas digitales CMOS VLSI. (MECD). Manuel Jesús Bellido. 13/12/2004 hasta: 12/12/2007. 203.600,00 €. Investigador.

C.3. Contratos, méritos tecnológicos o de transferencia

TSI-020100-2008-258. SEPIC, Sistemas empotrados para infraestructuras críticas. Ministerio de Industria, Turismo y Comercio, Telvent y otros. Drs. Manuel J. Bellido y Juan-Chico, Jorge (Universidad de Sevilla). 2008-2009. 69.000 €.

PTC: Plataforma Tecnológica Común para UTR. Proyecto industrial liderado por TELVENT, Ministerio de Industria, Turismo y Comercio. IPs: Manuel Valencia-Barrero, Ángel Barriga-Barros y Manuel J. Bellido-Díaz. 30.000€

FIT-330100-2006-60 2006-07

FIT-330100-2007-131 2007-08

SincroOFDM: Sincronizador en frecuencia para sistemas OFDM de banda ancha en aplicaciones Networking sobre redes residenciales de energía eléctrica. PROFIT/MCYT. Proyecto industrial liderado por SAINCO. IP: Manuel Valencia. 2002-03. 14.500 €.

Desarrollo de un Convertidor de Coordenadas Polares a Cartesianas. Contrato industrial con Empresa Nacional BAZAN. IPs: Santiago Sánchez-Solano, Manuel Valencia-Barrero y Ángel Barriga-Barros, 1992-93. 14.750.000 ptas (88.649,29 €).

C.5. Otros

En el ámbito docente, he impartido Cursos de Extensión Universitaria en la Universidad de Sevilla. También he dirigido diversos proyectos fin de Carrera o similares en las titulaciones de Ingeniería Informática. Soy miembro de la Junta de Centro. Pertenezco a diversas Comisiones tanto del Departamento de Tecnología Electrónica como de la ETS Ingeniería Informática. Quinquenios reconocidos 5 Coordinación: 20 cursos-asignaturas de grado todas las cuales tenían 4 o más grupos de aula. He puesto en marcha dos asignaturas de Ingeniería Técnica en Informática de Sistemas y otras dos del Grado en Ingeniería Informática en Tecnologías Informáticas. En material docente tengo publicados dos libros, más de una decena de artículos y más de 30 obras, manuales y compendios de material docente de teoría, problemas, prácticas, exámenes...