



Ministerio de Educación

Curriculum vitae

Nombre: Jaime Jiménez Verde

Fecha: 9 de septiembre de 2025

ATENCION: Deben firmarse al margen todas las hojas del curriculum

Apellidos: Jiménez Verde

Nombre: Jaime

DNI:

Fecha de nacimiento :

Sexo: V

Situación profesional actual

Organismo: Universidad del País Vasco

Facultad, Escuela o Instituto: Escuela Técnica Superior de Ingeniería de Bilbao

Dpto./Secc./Unidad estr.: Dpto. de tecnología electrónica

Dirección postal:

Teléfono (indicar prefijo, número y extensión):

Fax:

Correo electrónico:

Especialización (Códigos UNESCO): 330700

Categoría profesional: Profesor titular

Fecha de inicio: 09/10/18

Situación administrativa

☒ Plantilla☐ Contratado☐ Interino☐ Becario☐ Otras situaciones especificar:

Dedicación

A tiempo completo ☒A tiempo parcial ☐**Líneas de investigación**

Breve descripción, por medio de palabras claves, de la especialización y líneas de investigación actuales.

Circuitos de comunicaciones, circuitos reconfigurables, diseño de sistemas monolíticos, metodologías de Diseño electrónico, verificación y simulación en Diseño electrónico.

Formación Académica

Titulación Superior	Centro	Fecha
Ingeniero de Telecomunicación	Escuela Técnica Superior de Ingeniería de Bilbao (UPV/EHU)	30/09/91
Licenciado en Ciencias Matemáticas	Facultad de Ciencias (UNED)	30/06/13
Doctorado	Centro	Fecha
Doctor Ingeniero de Telecomunicación (premio extraordinario de doctorado)	Escuela Técnica Superior de Ingeniería de Bilbao (UPV/EHU)	22/06/05

Actividades anteriores de carácter científico profesional

Puesto	Institución	Fechas
Ingeniero	Centro Tecnológico Robotiker	01/11/91 - 01/11/92
Técnico Superior	Gobierno Vasco	01/02/93 - 31/05/97
Prof. asociado de Univ. Dedicac. parcial	Univ. del País Vasco. Dpto. de Electrónica y Telecomunic.	01/04/95 - 30/09/98
Prof. asociado Univ. Dedicac. completa	Univ. del País Vasco. Dpto. de Electrónica y Telecomunic.	01/10/98 – 16/10/08
Prof. colaborador permanente	Univ. del País Vasco. Dpto. de Electrónica y Telecomunic.	17/10/08 – 30/04/09
Prof. agregado (contratado doctor)	Univ. del País Vasco. Dpto. de Electrónica y Telecomunic.	01/05/09 – 08/10/18

Idiomas (R = regular, B = bien, C = correctamente)

Idioma	Habla	Lee	Escribe
Euskara	C	C	C
Inglés	C	C	C

Participación en Proyectos de I+D financiados en Convocatorias públicas.

(nacionales o internacionales)

Título del proyecto: SoC4sensing, diseño System-on-Chip con sensores especializados y formación asociada
Entidad financiadora: Secretaría de Estado de Telecomunicaciones e Infraestructuras Digitales a través del Plan de Recuperación, Transformación y Resiliencia-Financiado por la Unión Europea-NextGenerationEU. (Cátedra Chip: TSI-069100-2023-0004).
Entidades participantes: SOC-E S.L., Cluster GAIA, IKERLAN COOP.
Duración, desde: septiembre 23 hasta: junio 27 Cuantía de la subvención: 1.488.846,60 (1.199.693 en UPV/EHU)
Investigador responsable: Armando Astarloa
Número de investigadores participantes: 17 (en UPV/EHU)

Título del proyecto: SOC4CRIS, Investigación y capacitación del ecosistema I+D+i en el diseño, fabricación y testing de semiconductores para sistemas críticos
Entidad financiadora: Eusko Jaularitza-Gobierno Vasco (ELKARTEK KK-2023/00015)
Entidades participantes: UPV/EHU, CEIT, GAIA, IKERLAN, TEKNIKER, IDEKO I+D
Duración, desde: Marzo 23 hasta: Marzo 25 Cuantía de la subvención: 867.737,00 (219.333,00 en UPV/EHU)
Investigador responsable: Armando Astarloa
Número de investigadores participantes: 11 (en UPV/EHU)

Título del proyecto: Grupo de investigación en Electrónica Aplicada (APERT). Grupo A. IT1440-22.
Entidad financiadora: Gobierno Vasco (Ayudas para apoyar las actividades de grupos de investigación del sistema universitario vasco).
Entidades participantes: UPV/EHU
Duración, desde: Enero 22 hasta: Diciembre 25 Cuantía de la subvención: 395.000,00 Euros.
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 19

Título del proyecto: XXXIV conference on desing of circuits and integrated systems (CGV19/23).
Entidad financiadora: Gobierno Vasco.
Entidades participantes: UPV/EHU
Duración, desde: Septiembre 19 hasta: Agosto 20 Cuantía de la subvención: 10.000,00 Euros.
Investigador responsable: Aitzol Zuloaga
Número de investigadores participantes: 17

Título del proyecto: Ayuda para la Organización de Congresos Científicos (OC19/18).
Entidad financiadora: UPV/EHU.
Entidades participantes: UPV/EHU
Duración, desde: Septiembre 19 hasta: Mayo 20 Cuantía de la subvención: 2.400,00 Euros.
Investigador responsable: Jaime Jiménez
Número de investigadores participantes: 6

Título del proyecto: Ayuda para apoyar las actividades de grupo de investigación. Grupo A. IT978-16.
Entidad financiadora: Gobierno Vasco.
Entidades participantes: UPV/EHU
Duración, desde: Enero 16 hasta: Diciembre 21 Cuantía de la subvención: 572.000,00 Euros.
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 17

Título del proyecto: Redes sensibles al tiempo en comunicaciones redundantes de baja latencia (H+T Net)
Entidad financiadora: Ministerio de Economía y Competitividad (Proyectos de I+D+i, del Programa estatal de investigación, desarrollo e innovación orientada a los retos de la sociedad). TEC2017-84011-R.
Entidades participantes: UPV/EHU.
Duración, desde: enero 2018 hasta: diciembre 2020 Cuantía de la subvención: 108.900 Euros
Investigador responsable: Jesús Lázaro

Número de investigadores participantes: 7

Título del proyecto: Key technologies for new concepts of urban electric transport

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa ELKARTEK). KK-2015/00047.

Entidades participantes: IRIZAR-CREATIO (piloto del consorcio), CEIT, CIDETEC, TECNALIA y APERT (UPV/EHU).

Duración, desde: Octubre 2015 hasta: Diciembre 2017 Cuantía de la subvención: 61.889 Euros

Investigador responsable: Jon Andreu Larrañaga

Número de investigadores participantes: 16 (en UPV/EHU)

Título del proyecto: Cyber-Physical Systems en la SmartGrid

Entidad financiadora: Ministerio de Economía y Competitividad (Proyectos de I+D+i, del Programa estatal de investigación, desarrollo e innovación orientada a los retos de la sociedad). TEC2014-53785-R.

Entidades participantes: UPV/EHU.

Duración, desde: enero 2015 hasta: diciembre 2017 Cuantía de la subvención: 109.000 Euros

Investigador responsable: Jesús Lázaro

Número de investigadores participantes: 9

Título del proyecto: Low Cost Novel Wireless Interactive Electronic Platform for Modern Education Systems

Entidad financiadora: Unión Europea, Ministry of Scientific Research of Egypt (Convocatoria EU-Egypt Innovation Fund – Grant Scheme 1 – EuropeAid/132-715/M/ACT/EG). ENPI/2014/344-35.

Entidades participantes: Silicon Vision (Egypt, project leader), UPV/EHU.

Duración, desde: mayo 2014 hasta: febrero 2016 Cuantía de la subvención: 35.324 Euros

Investigador responsable: Javier Bilbao

Número de investigadores participantes: 8

Título del proyecto: FUTUREGRIDS-2020: Nueva oferta tecnológica para las redes eléctricas inteligentes del 2020. Offshore HVDC y operación de redes de BT.

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa ETORTEK). IE14-389.

Entidades participantes: TECNALIA R & I (líder del consorcio), BCAM, Departamento de Ingeniería Eléctrica (UPV/EHU) y el grupo APERT del Departamento de Tecnología Electrónica (UPV/EHU).

Duración, desde: Enero 14 hasta: Diciembre 15 Cuantía de la subvención: 35.136,00 Euros

Investigador responsable: Jon Andreu Larrañaga

Número de investigadores participantes: 9 (en UPV/EHU)

Título del proyecto: "Seminario IEC 61850 and IEC 62439 technical interoperability test"

Entidad financiadora: UPV/EHU, acciones especiales.

Entidades participantes: UPV/EHU

Duración, desde: octubre 2014 hasta: noviembre 2014 Cuantía de la subvención: 347,53 Euros

Investigador responsable: Jaime Jiménez Verde

Número de investigadores participantes: 5

Título del proyecto: Maqueta de red PTP-PRP-HSR para pruebas entre fabricantes diversos (PETEP).

Entidad financiadora: UPV/EHU – System-on-Chip engineering, S.L. (Proyecto Universidad-Sociedad). US13/13.

Entidades participantes: System-on-Chip engineering, S.L. y UPV/EHU

Duración, desde: Julio 13 hasta: Julio 15 Cuantía de la subvención: 22.907,00 Euros

Investigador responsable: Jaime Jiménez Verde

Número de investigadores participantes: 6 (en UPV/EHU)

Título del proyecto: OPTITAVE: OPTimización energética en Inversores Trifásicos Aplicados a Vehículos Eléctricos.

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (Fondo común de cooperación Aquitania-Euskadi)

Entidades participantes: Ecole Supérieure des Technologies Industrielles Avancées (Bidart, Francia), Universidad del País Vasco (UPV/EHU).

Duración, desde: julio 2013 hasta: julio 2014 Cuantía de la subvención: 41.280,00 Euros

Investigador responsable: Íñigo Martínez de Alegría Mancisidor

Número de investigadores participantes: 12 (en UPV/EHU)

Título del proyecto: Aplicación de dispositivos electrónicos reconfigurables a comunicaciones seguras en Smart-Grids y Subestaciones eléctricas (SAFEGRID).

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK). S-PE13UN150.

Entidades participantes: UPV/EHU

Duración, desde: enero 13 hasta: diciembre 13 Cuantía de la subvención: 8.157,62 Euros

Investigador responsable: Armando Astarloa Cuéllar

Número de investigadores participantes: 8

Título del proyecto: HVDC Colloquium Bilbao, y reunión del CIGRE WG B4-60 (Designing HVDC Grids for Reliability and Availability performance

Entidad financiadora: UPV/EHU, acciones especiales.

Entidades participantes: UPV/EHU

Duración, desde: diciembre 2012 hasta: diciembre 2012 Cuantía de la subvención: 5.000 Euros

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 9

Título del proyecto: ENERGIGUNE'12 - I+D+i en Almacenamiento de Energía Electroquímica y Térmica, y en Energía Marina.

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa ETORTEK). IE12-335

Entidades participantes: CIC energiGUNE (líder del consorcio), IK-4 Ikerlan, IK-4 CIDETEC, TECNALIA R & I, AZTI-TECNALIA, Departamento de Química Inorgánica (UPV/EHU), Instituto de Síntesis y Estudio de Materiales (UPV/EHU), Departamento de Ciencias y Técnicas de la Navegación, Máquinas y Construcciones Navales (UPV/EHU), grupo APERT del Departamento de Tecnología Electrónica (UPV/EHU).

Duración, desde: Enero 12 hasta: Diciembre 14 Cuantía de la subvención: 114.704,00 Euros

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 15 (en UPV/EHU)

Título: ERAZTUN: Sistemas redundantes en redes industriales en anillo

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK) S-PE12UN008

Entidades participantes: Universidad del País Vasco (UPV/EHU)

Duración, desde: Enero 2012 hasta: Diciembre 2013 Cuantía de la subvención: 29.642,95 euros

Investigador responsable: J. Lázaro

Número de investigadores participantes: 9

Título del proyecto: Unidad de Formación e Investigación en Telecomunicación y Electrónica (UFITE).

Entidad financiadora: Universidad del País Vasco (UPV/EHU). UF111/16.

Entidades participantes: Universidad del País Vasco (UPV/EHU).

Duración, desde: Enero 12 hasta: Diciembre 14 Cuantía de la subvención: 75.623,86 Euros

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 53

Título del proyecto: Arquitecturas Autónomas Tolerantes a Fallos Basadas en Dispositivos Reconfigurables Dinámicamente

Entidad financiadora: Ministerio de Ciencia e Innovación (subprograma MIC). TEC2011-28250-C02-01

Entidades participantes: UPV/EHU.

Duración, desde: Enero 12 hasta: Diciembre 14 Cuantía de la subvención: 64.009,00 Euros

Investigador responsable: Unai Bidarte

Número de investigadores participantes: 7

Título del proyecto: Sistemas avanzados de redes ethernet industriales redundantes a tiempo real

Entidad financiadora: Gobierno Vasco (Programa SAIOTEK) S-PE11UN059

Entidades participantes: Universidad del País Vasco

Duración, desde: enero 2011 hasta: diciembre 2012

Cuantía de la subvención: 24.946,60 euros

Investigador responsable: A. Zuloaga

Número de investigadores participantes: 10

Título del proyecto: SARECONPA: Paralelización de convertidores de potencia en microrredes eléctricas.

Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (Fondo común de cooperación Aquitania-Euskadi)
Entidades participantes: Ecole Supérieure des Technologies Industrielles Avancées (Bidart, Francia), Universidad del País Vasco (UPV/EHU).
Duración, desde: Enero 12 hasta: Diciembre 12 Cuantía de la subvención: 8.163,00 Euros
Investigador responsable: Jon Andreu Larrañaga
Número de investigadores participantes: 9 (en UPV/EHU)

Título del proyecto: Ayuda para apoyar las actividades de grupo de investigación. IT394-10.
Entidad financiadora: Gobierno Vasco.
Entidades participantes: UPV/EHU
Duración, desde: Enero 10 hasta: Diciembre 15 Cuantía de la subvención: 530.000,00 Euros.
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 8

Título: Arquitecturas tolerantes a fallos para sistemas de computación autónomos (programa Saiotek) S-PE10UN30
Entidad financiadora: Gobierno Vasco
Entidades participantes: Universidad del País Vasco (UPV/EHU)
Duración, desde: Enero 2010 hasta: Diciembre 2011 Cuantía de la subvención: 26.318,47 euros
Investigador responsable: U. Bidarte
Número de investigadores participantes: 8

Título del proyecto: Sistemas Autónomos Tolerantes a Fallos Basados en Dispositivos Reconfigurables Dinámicamente
Entidad financiadora: Ministerio de Ciencia e Innovación (subprograma MIC).
Entidades participantes: UPV/EHU.
Duración, desde: Enero 10 hasta: Diciembre 10 Cuantía de la subvención: 7.000,00 Euros
Investigador responsable: Unai Bidarte
Número de investigadores participantes: 7

Título del proyecto: Integración del estándar de comunicaciones KNX/EIB con innovadores mecanismos de autenticación y cifrado en los sistemas PV7. UE09+/12
Entidad financiadora: Gobierno Vasco – Dinitel 2000, S. A. (Programa Universidad-Empresa)
Entidades participantes: UPV/EHU, Dinitel 2000, S. A.
Duración, desde: Enero 10 hasta: Diciembre 10 Cuantía de la subvención: 47.764,00 Euros
Investigador responsable: Armando Astarloa Cuéllar
Número de investigadores participantes: 6 (en UPV/EHU)

Título del proyecto: EOLO: Consecuencias de la integración de turbinas eólicas en la red de distribución y de transporte eléctricos. CTP09-R9
Entidad financiadora: Gobierno Vasco (Programa Redes Temáticas de Investigación de la Comunidad de Trabajo de los Pirineos)
Entidades participantes: UPV/EHU (piloto de la red), Fundación Robotiker, Universidad Politécnica de Cataluña, Fundación Hidrógeno-Aragón, Universidad de Zaragoza, Ecole Supérieure des Technologies Industrielles Avancées (Bidart, Francia), Universidad de Burdeos 1 (Francia).
Duración, desde: Enero 10 hasta: Diciembre 11 Cuantía de la subvención: 5.500,00 Euros
Investigador responsable: Jaime Jiménez Verde
Número de investigadores participantes: 16 (en UPV/EHU)

Título del proyecto: Sistemas electrónicos autorreparables tolerantes a fallos.
Entidad financiadora: Diputación Foral de Bizkaia y Sociedad BEAZ, S. A. (Proyectos DIPE-BEAZ) DIPE09/02
Entidades participantes: UPV/EHU
Duración, desde: Noviembre 09 hasta: Noviembre 11 Cuantía de la subvención: 43.758,00 Euros
Investigador responsable: Armando Astarloa Cuéllar
Número de investigadores participantes: 7

Título del proyecto: SETEMAR: Sistema electrónico de transmisión de energía en media y alta tensión para recursos renovables marinos. UE09/02
Entidad financiadora: UPV/EHU y Fundación Robotiker (Proyectos Universidad-Empresa)

Entidades participantes: UPV/EHU y Robotiker-Tecnalia
Duración, desde: Noviembre 09 hasta: Noviembre 11 Cuantía de la subvención: 115.000,00 Euros
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 10 (en UPV/EHU)

Título del proyecto: CICenergiGUNE'09: Lanzamiento de infraestructuras de almacenamiento CIC físico y arranque de funcionamiento CIC virtual a través de la energía marina y la fotovoltaica.
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (programa ETORTEK). IE09-244
Entidades participantes: CIC energigUNE (líder del consorcio), IKERLAN-IK4, TEKNIKER-IK4, CIDETEC-IK4, CEIT-IK4, IDEKO-IK4, INASMET-TECNALIA, ROBOTIKER-TECNALIA, TiM y APERT de la UPV/EHU.
Duración, desde: Enero 09 hasta: Diciembre 11 Cuantía de la subvención: 96.027,00 Euros
Investigador responsable: José Luis Martín
Tipo de participación en el proyecto: Investigador
Número de investigadores participantes: 11 (en UPV/EHU)

Título del proyecto: CADAV: Sistema de captura de datos a alta velocidad en sistemas críticos.
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (programa SAIOTEK). S-PE09UN17
Entidades participantes: UPV/EHU.
Duración, desde: Enero 09 hasta: Mayo 10 Cuantía de la subvención: 46.857,26 Euros
Investigador responsable: Jesús Lázaro Arroategui
Tipo de participación en el proyecto: Investigador
Número de investigadores participantes: 8

Título del proyecto: EMERGE: Investigación y desarrollo de un sistema para generación eólica offshore en aguas profundas. PSE-120000-2009-2
Entidad financiadora: Ministerio de Ciencia e Innovación (Proyecto Singular Estratégico)
Entidades participantes: Iberdrola Renovables (líder del proyecto), Ecotécnica/Alstom, Acciona Energía, Robotiker-Tecnalia, Instituto de Investigación de Energía de Cataluña, KV Consultores, Universidad de Cádiz y UPV/EHU
Duración, desde: Julio 09 hasta: marzo 2010 Cuantía de la subvención: 16.100,00 Euros
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 12 (en UPV/EHU)

Título del proyecto: Sistemas inteligentes para la nueva generación de transporte terrestre
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (Programa ETORTEK) IE08-221
Entidades participantes: Ikerlan, CEIT, Robotiker, Tekniker, Fatronic, ESI, Vicomtech, Mondragon Unibertsitatea-MGEP, Tecnun, Fundación Deusto, Universidad del País Vasco/Euskal Herriko Unibertsitatea-CCIA-APERT
Duración, desde: enero 2008 hasta: diciembre 2010 Cuantía de la subvención: 46.189,00 euros
Investigador responsable: Aitzol Zuloaga
Número de investigadores participantes: 7 (en UPV/EHU)

Título del proyecto: Estimar el área y la velocidad de sistemas complejos sintetizados en FPGAs
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (programa SAIOTEK) S-PE08UN27
Entidades participantes: Universidad del País Vasco (UPV/EHU)
Duración, desde: enero 08 hasta: diciembre 09 Cuantía de la subvención: 42.342,91 Euros
Investigador responsable: Jaime Jiménez Verde
Número de investigadores participantes: 6

Título del proyecto: ILOTEN: paso a aislamiento de un sistema de energía híbrido
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (Fondo común de cooperación Aquitania-Euskadi)
Entidades participantes: Universidad del País Vasco (UPV/EHU), Ecole Supérieure des Technologies Industrielles Avancées (ESTIA)
Duración, desde: junio 08 hasta: mayo 09 Cuantía de la subvención: 9.996,00 Euros
Investigador responsable: Jaime Jiménez Verde
Número de investigadores participantes: 10 (en la UPV/EHU)

Título del proyecto: Broadband Access Networks Integrated Telecommunication System 2 (BANITS2)

The Celtic office has approved the work provided by BANITS 2 and has given the project a score of 4.3 out of 5. The project is a candidate for the CELTIC AWARDS.

Entidad financiadora: Ministerio de Industria, Comercio y Turismo. TSI-020400-2008-18

Entidades participantes: Telefónica I+D (España), líder del proyecto, Corrigent Systems (Israel), ECI Telecom (Israel), Ericsson (Suecia), LMI-Ericsson (Irlanda), FTW (Austria), Inelcom (España), Lund University (Suecia), Optibase Ltd. (Israel), Fundación Robotiker-Tecnalia (España), UpZide Labs (Suecia), UPV/EHU (España). Proyecto de cooperación Europea dentro del programa EUREKA y la iniciativa CELTIC.

Duración, desde: Enero 08 hasta: Diciembre 08 Cuantía de la subvención: 49.893,00 Euros

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 7 (en UPV/EHU)

Título del proyecto: Subvención general a grupo de investigación (Grupo APERT)

Entidad financiadora: Universidad del País Vasco (UPV/EHU). GIU 07/038

Entidades participantes: Universidad del País Vasco (UPV/EHU)

Duración, desde: mayo 08 hasta: mayo 11 Cuantía de la subvención: 118.498,00 Euros

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 12

Título del proyecto: Seguridad Aplicada a Redes Domóticas e Industriales

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK) S-PE07UN01

Entidades participantes: Universidad del País Vasco (UPV/EHU)

Duración, desde: Enero 07 hasta: Diciembre 08 Cuantía de la subvención: 20.563,23 Euros

Investigador responsable: Armando Astarloa Cuéllar

Número de investigadores participantes: 10

Título del proyecto: Crypto-bridge embebido para aplicaciones de voto electrónico

Entidad financiadora: Universidad del País Vasco - Gobierno Vasco (Programa EJIE)

Entidades participantes: Universidad del País Vasco

Duración, desde: noviembre 2007 hasta: noviembre 2008 Cuantía de la subvención: 8.900,00 Euros

Investigador responsable: Armando Astarloa Cuellar

Número de investigadores participantes: 4

Título del proyecto: RENOVA - Investigación estratégica en energías renovables y alternativas.

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa ETORTEK).

Entidades participantes: Robotiker (coordinador), Inasmet, Labein, Ikerlan, UPV/EHU (Instituto de Tecnología Microelectrónica y Grupo APERT)

Duración, desde: Enero 06 hasta: Diciembre 08 Cuantía de la subvención: 120.000,00 Euros

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 9 (en UPV/EHU)

Título del proyecto: Control Adaptativo de Convertidores de Energía Matriciales mediante FPGAs.

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK) S-PE06UN15.

Entidades participantes: UPV/EHU.

Duración, desde: Enero 06 hasta: Diciembre 07 Cuantía de la subvención: 39.566,71 Euros

Investigador responsable: Unai Bidarte Peraita

Número de investigadores participantes: 11 de la UPV/EHU

Título del proyecto: Bancs de TP pour la commande a temps discret (BANCO)

Entidad financiadora: Consejo Regional de Aquitania - Gobierno Vasco (Fondo común de cooperación Aquitania-Euskadi)

Entidades participantes: Ecole Supérieure des Technologies Industrielles Avancées (ESTIA), Alecop, S. Coop.

Duración, desde: septiembre 2006 hasta: agosto 2007 Cuantía de la subvención: 12.000,00 Euros

Investigador responsable: Haritza Camblong

Número de investigadores participantes: 5 (en la ESTIA)

Título del proyecto: DRM Plus. Aplicaciones avanzadas de DRM (Digital Radio Mondiale).

Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK). S-PE05UN22

Entidades participantes: Universidad del País Vasco (UPV/EHU).

Duración, desde: Octubre 05 hasta: Diciembre 06 Cuantía de la subvención: 111.594,58 Euros
Investigador responsable: Juan Luis Ordiales
Número de investigadores participantes: 16

Título: Topologías avanzadas de convertidores de energía para la mejora del rendimiento y calidad de potencia en la integración de la energía eólica en la red eléctrica (RECENER).
Entidad financiadora: Ministerio de Educación y Ciencia. ENE2004-07881-C03-00.
Entidades participantes: Universidad del País Vasco (UPV/EHU), Universidad Politécnica de Cataluña, Robotiker.
Duración, desde: Diciembre 04 hasta: Diciembre 07 Cuantía de la subvención: 97.700,00 Euros
Investigador responsable: José Miguel de Diego Rodrigo
Número de investigadores participantes: 7 (en UPV/EHU)

Título del proyecto: Subvención general a grupo de investigación (Grupo APERT).
Entidad financiadora: Universidad del País Vasco (UPV/EHU) 9/UPV 00147.345-15990/2004
Entidades participantes: Universidad del País Vasco (UPV/EHU).
Duración, desde: Diciembre 04 hasta: Diciembre 07 Cuantía de la subvención: 60.000,00 Euros
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 10

Título: Desarrollo de una nueva tecnología de rectificado basada en el diamantado por electroerosión (RELEC).
Entidad financiadora: Gobierno Vasco (programa INTEK).
Entidades participantes: Ona Electroerosión, Danobat, Universidad del País Vasco (UPV/EHU)
Duración, desde: Diciembre 04 hasta: Diciembre 05 Cuantía de la subvención: 14.300,00 Euros
Investigador responsable: En UPV/EHU José Luis Martín González y José Antonio Sánchez
Número de investigadores participantes: 9 (en UPV/EHU)

Título del proyecto: SMTU: Detector Electrónico de paso de falta, con sistema de medida inalámbrica y comunicación SMS/GPRS.
Entidad financiadora: Gobierno Vasco (programa INTEK).
Entidades participantes: Fanox, Kementsu, UPV/EHU
Duración, desde: diciembre 03 hasta: diciembre 04 Cuantía de la subvención: 16.959,20
Investigador responsable: En UPV/EHU José Luis Martín González y Javier Mazón
Número de investigadores participantes: 7 (en UPV/EHU)

Título del proyecto: Metodología de diseño y entorno de simulación basado en el lenguaje de descripción de hardware VHDL de circuitos según la norma de comunicaciones para trenes IEC 61375-1.
Entidad financiadora: Ministerio de Ciencia y Tecnología. TIC2001-0062.
Entidades participantes: Universidad del País Vasco, Universidad de Zaragoza, CAF S. A.
Duración, desde: 1/2002 hasta: 12/2004 Cuantía de la subvención: 129.968,86 Euros
Investigador responsable: José Luis Martín González
Número de investigadores participantes: 14

Título del proyecto: Subvención general a grupo de investigación.
Entidad financiadora: Universidad del País Vasco (UPV/EHU) 9/UPV 00147.345-13475/2001
Entidades participantes: Universidad del País Vasco (UPV/EHU).
Duración, desde: noviembre 01 hasta: noviembre 04 Cuantía de la subvención: 10.000.000 ptas.
Investigador responsable: Gerardo Aranguren Aramendía
Número de investigadores participantes: 7

Título del proyecto: Implementación de una unidad aritmético-lógica en un circuito integrado utilizando tecnología insensible al tiempo.
Entidad financiadora: Universidad del País Vasco. UPV 147.345-TA065/99.
Entidades participantes: Universidad del País Vasco
Duración, desde: 10/1999 hasta: 09/2001 Cuantía de la subvención: 4.600.000 ptas.
Investigador responsable: Gerardo Aranguren Aramendía
Número de investigadores participantes: 6

Título del proyecto: Diseño mediante VHDL de un circuito que determine el flujo óptico de una secuencia de imágenes en tiempo real.

Entidad financiadora: Gobierno Vasco. PI-1998-41

Entidades participantes: Universidad del País Vasco

Duración, desde: 01/1999 hasta: 12/2001 Cuantía de la subvención: 4.967.770 ptas.

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 9

Título del proyecto: Enlace de fibra óptica de plástico y desarrollo de nuevos dispositivos pasivos para fibra óptica de plástico.

Entidad financiadora: Gobierno Vasco PI96/38

Entidades participantes: Universidad del País Vasco / Lambda Comunicaciones Ópticas S. L.

Duración, desde: 01/1997 hasta: 12/1998 Cuantía de la subvención: 10.937.500 ptas.

Investigador responsable: Joseba Zubia Zaballa

Número de investigadores participantes: 7

Publicaciones o Documentos Científico-Técnicos

(CLAVE: L = libro completo, CL = capítulo de libro, A = artículo, R = "review", E = editor,
S = Documento Científico-Técnico restringido.)

TRABAJOS CIENTÍFICO-TÉCNICOS PUBLICADOS EN REVISTAS INTERNACIONALES

Autores (p.o. de firma): J. Lázaro, A. Astarloa, A. Zuloaga, J. Á. Araujo, J. Jiménez

Título: AXI Lite Redundant On-Chip Bus Interconnect for High Reliability Systems

Ref. ☒ revista: IEEE Transactions on Reliability ☐ Libro

Clave: A Volumen: 73(1) Páginas, inicial: 602 final: 607 Fecha: marzo 2024

Autores (p.o. de firma): A. Arteaga, L. Muguira, J. Jimenez, J. I. Garate, A. Astarloa

Título: A Survey on IEEE 1588 implementation for RISC-V low-power Embedded Devices

Ref. ☒ revista: Electronics ☐ Libro

Clave: A Volumen: 13(2) Páginas, inicial: 458:1 final: 458:15 Fecha: enero 2024

Autores (p.o. de firma): L. Sun, L. Muguira, J. Jiménez, J. Lázaro, W. Yong

Título: High Performance Platform to Detect Faults in the Smart Grid by Artificial Intelligence Inference

Ref. ☒ revista: IEEE Transactions on Smart Grid ☐ Libro

Clave: A Volumen: 15(1) Páginas, inicial: 504 final: 512 Fecha: enero 2024

Autores (p.o. de firma): J. Á. Gumiel, J. Mabe, F. Burguera, J. Jiménez, J. Barruetaña

Título: Next-Generation Pedal: Integration of Sensors in a Braking Pedal for a Full Brake-by-Wire System

Ref. ☒ revista: Sensors ☐ Libro

Clave: A Volumen: 23(14) Páginas, inicial: 6345:1 final: 6345:25 Fecha: julio 2023

Autores (p.o. de firma): J. Lázaro, A. Astarloa, L. Muguira, U. Bidarte, J. Jiménez

Título: Encryption AXI Transaction Core for Enhanced FPGA Security

Ref. ☒ revista: Electronics ☐ Libro

Clave: A Volumen: 11(20) Páginas, inicial: 3361:1 final: 3361:13 Fecha: octubre 2022

Autores (p.o. de firma): J. Á. Gumiel, J. Mabe, J. Jiménez, J. Barruetaña

Título: Introducing the Electronic Knowledge Framework into the Traditional Automotive Suppliers' Industry: From Mechanical Engineering to Mechatronics

Ref. ☒ revista: Businesses ☐ Libro

Clave: A Volumen: 2(2) Páginas, inicial: 273 final: 289 Fecha: junio 2022

Autores (p.o. de firma): J. Jiménez, L. Muguira, U. Bidarte, A. Largacha, J. Lázaro

Título: Specific electronic platform to test the influence of hypervisors on the performance of embedded systems

Ref. ☒ revista: Technologies ☐ Libro

Clave: A Volumen: 10(3) Páginas, inicial: 65:1 final: 65:10 Fecha: mayo 2022

Autores (p.o. de firma): J. Lázaro, J. Cabrejas, A. Zuloaga, L. Muguira, J. Jiménez

Título: Time Sensitive Networking Protocol Implementation for Linux End Equipment

Ref. ☒ revista: Technologies ☐ Libro

Clave: A Volumen: 10(3) Páginas, inicial: 55:1 final: 55:11 Fecha: abril 2022

Autores (p.o. de firma): J. Lázaro, U. Bidarte, L. Muguira, A. Astarloa, J. Jiménez

Título: Embedded Firewall for On-Chip Bus Transactions

Ref. ☒ revista: Computers & Electrical Engineering ☐ Libro

Clave: A Volumen: 98 Páginas, inicial: 107707:1 final: 107707:9 Fecha: marzo 2022

Autores (p.o. de firma): L. Sun, L. Muguira, J. Jiménez, A. Astarloa, J. Lázaro

Título: High-performance computing architecture for Sample Value processing in the Smart Grid

Ref. ☒ revista: IEEE Access ☐ Libro

Clave: A Volumen: 10 Páginas, inicial: 12208 final: 12218 Fecha: enero 2022

Autores (p.o. de firma): J. Lázaro, U. Bidarte, L. Muguira, C. Cuadrado, J. Jiménez

Título: Fast and efficient address search in System-on-a-Programmable-Chip using binary trees

Ref. ☒ revista: Computers & Electrical Engineering ☐ Libro

Clave: A Volumen: 96(B) Páginas, inicial: 107403:1 final: 107403:12 Fecha: diciembre 2021

Autores (p.o. de firma): J. A. Gumiel, J. Mabe, J. Jiménez, L. Zuazubiskar

Título: Nueva generación de componentes mecánicos y electrónicos en automoción: retos tecnológicos para los suministradores

Ref. ☒ revista: Dyna ☐ Libro

Clave: A Volumen: 96 Páginas, inicial: 581 final: 585 Fecha: noviembre 2021

Autores (p.o. de firma): J. Lázaro, A. Astarloa, M. Rodríguez, U. Bidarte, J. Jiménez

Título: A Survey on Vulnerabilities and Countermeasures in the Communications of the Smart Grid

Ref. ☒ revista: Electronics ☐ Libro

Clave: A Volumen: 10(16) Páginas, inicial: 1881:1 final: 1881:15 Fecha: agosto 2021

Autores (p.o. de firma): S. Alonso, J. Lázaro, J. Jiménez, U. Bidarte, L. Muguira

Título: Evaluating Latency in Multiprocessing Embedded Systems for the Smart Grid

Ref. ☒ revista: Energies ☐ Libro

Clave: A Volumen: 14(11) Páginas, inicial: 3322:1 final: 3322:14 Fecha: junio 2021

Autores (p.o. de firma): M. Rodríguez, J. Lázaro, U. Bidarte, J. Jiménez, A. Astarloa

Título: A Fixed-Latency Architecture to Secure GOOSE and Sampled Value Messages in Substation Systems

Ref. ☒ revista: IEEE Access ☐ Libro

Clave: A Volumen: 9 Páginas, inicial: 51646 final: 51658 Fecha: marzo 2021

Autores (p.o. de firma): I. Villalta, U. Bidarte, J. Gómez-Cornejo, J. Jiménez, J. Lázaro

Título: SEU Emulation in Industrial SoCs combining Microprocessor and FPGA

Ref. ☒ revista: Reliability Engineering & System Safety ☐ Libro

Clave: A Volumen: 65(4) Páginas, inicial: 2986 final: 2995 Fecha: febrero 2018

Autores (p.o. de firma): N. Moreira, J. Lázaro, U. Bidarte, J. Jiménez, A. Astarloa

Título: On the Utilization of System-on-Chip Platforms to Achieve Nanosecond Synchronization Accuracies in Substation Automation Systems

Ref. ☒ revista: IEEE Transactions on Smart Grid ☐ Libro

Clave: A Volumen: 8(4) Páginas, inicial: 1932 final: 1942 Fecha: enero 2016

Autores (p.o. de firma): A. Llaría, G. Terrasson, O. Curea, J. Jiménez

Título: Application of Wireless Sensor and Actuator Networks to Achieve Intelligent Microgrids: A Promising Approach towards a Global Smart Grid Deployment

Ref. ☒ revista: Applied Sciences ☐ Libro

Clave: A Volumen: 6(3) Páginas 61, inicial: 1 final: 23 Fecha: febrero 2016

Autores (p.o. de firma): A. Llaría, J. Jiménez, O. Curea

Título: Study on communication technologies for the optimal operation of Smart Grids

Ref. ☒ revista: Transactions on Emerging Telecommunications Technologies ☐ Libro

Clave: A Volumen: 25(10) Páginas, inicial: 1009 final: 1019 Fecha: octubre 2014

Autores (p.o. de firma): J. Pérez, J. Jiménez, A. Rabanal, A. Astarloa, J. Lázaro

Título: FTL-CFree: A Fuzzy Real-Time Language for Runtime Verification

Ref. ☒ revista: IEEE Transactions on Industrial Informatics ☐ Libro

Clave: A Volumen: 10(3) Páginas, inicial: 1670 final: 1683 Fecha: agosto 2014

Autores (p.o. de firma): U. Kretzchmar, A. Astarloa, J. Jiménez, M. Garay, J. del Ser
Título: Compact and Fast Fault Injection System for Robustness Measurements on SRAM-Based FPGAs
Ref. ☒ revista: IEEE Transactions on Industrial Electronics ☐ Libro
Clave: A Volumen: 61(5) Páginas, inicial: 2493 final: 2503 Fecha: mayo 2014

Autores (p.o. de firma): I. Kortabarria, J. Andreu, I. Martínez de Alegría, J. Jimenez, J.I. Gárate, E. Robles.
Título: A Novel Adaptative Maximum Power Point Tracking Algorithm for Small Wind Turbines.
Ref. ☒ revista: Renewable Energy (ISSN: 0960-1481) ☐ Libro
Clave: A Volumen: 63 Páginas, inicial: 785 final: 796 Fecha: Marzo 2014

Autores (p.o. de firma): Á. Llaría, O. Curea, J. Jiménez, H. Camblong
Título: Survey on microgrids: Unplanned islanding and related inverter control techniques
Ref. ☒ revista: Renewable Energy ☐ Libro
Clave: A Volumen: 36 Páginas, inicial: 2052 final: 2061 Fecha: Agosto 2011

Autores (p.o. de firma): J. Lázaro, A. Astarloa, A. Zuloaga, U. Bidarte, J. Jiménez
Título: I2CSec: a Secure Serial Chip-toChip Communication Protocol
Ref. ☒ revista: Journal of Systems Architecture ☐ Libro
Clave: A Volumen: 57(2) Páginas, inicial: 206 final: 213 Fecha: Febrero 2011

Autores (p.o. de firma): T. Dorta, J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa
Título: Reconfigurable Multiprocessor Systems: a Review
Ref. ☒ revista: International Journal of Reconfigurable Computing ☐ Libro
Clave: A Volumen: 2010 Páginas, inicial: 1 final: 10 Fecha: 2010

Autores (p.o. de firma): J. Lázaro, A. Astarloa, U. Bidarte, J. Jiménez y A. Zuloaga
Título: AES-Galois Counter Mode Encryption/Decryption FPGA Core for Industrial and Residential Gigabit Ethernet Communications
Ref. ☒ revista: Lecture Notes in Computer Science ☐ Libro
Clave: A Volumen: 5.453 Páginas, inicial: 312 final: 317 Fecha: marzo de 2009.

Autores (p.o. de firma): A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez y A. Zuloaga
Título: FPGA technology for multi-axis control systems
Ref. ☒ revista: Mechatronics ☐ Libro
Clave: A Volumen: 19(2) Páginas, inicial: 258 final: 268 Fecha: 2009

Autores (p.o. de firma): A. Astarloa, U. Bidarte, J. Jiménez, J. Lázaro e Í. Martínez de Alegría
Título: Secure Ethernet Point-to-Point Links for Autonomous Electronic Ballot Boxes
Ref. ☒ revista: Lecture Notes in Computer Science ☐ Libro
Clave: A Volumen: 5.060 Páginas, inicial: 603 final: 614 Fecha: 2008

Autores (p.o. de firma): J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa, A. Zuloaga
Título: Design of a Master device for the Multifunction Vehicle Bus
Ref. ☒ revista: IEEE Transactions on Vehicular Technology ☐ Libro
Clave: A Volumen: 56(6) Páginas, inicial: 3695 final: 3708 Fecha: noviembre de 2007

Autores (p.o. de firma): A. Astarloa, A. Zuloaga, U. Bidarte, J. L. Martín, J. Lázaro, J. Jiménez
Título: Tornado: A self-reconfiguration control system for core-based multiprocessor CSoPCs
Ref. ☒ revista: Journal of Systems Architecture ☐ Libro
Clave: A Volumen: 53 Páginas, inicial: 629 final: 643 Fecha: 2007

Autores (p.o. de firma): J. Arias, J. Lázaro, A. Zuloaga, J. Jiménez, A. Astarloa
Título: GPSless location algorithm for wireless sensor networks
Ref. ☒ revista: Computer Communications ☐ Libro
Clave: A Volumen: 30 Páginas, inicial: 2904 final: 2916 Fecha: 2007

Autores (p.o. de firma): J. Jiménez, J. Arias, J. Andreu, C. Cuadrado, I. Kortabarria

Título: A Design Methodology for Progressive Families of Devices

Ref. ☒ revista: WSEAS Transactions on Electronics ☐ Libro:

Clave: A Volumen: 3 Páginas, inicial: 499 final: 504 Fecha: 2006

Autores (p.o. de firma): J. Andreu, U. Bidarte, J. L. Martín, A. Astarloa, J. Jiménez

Título: FPGA solution for System-Level Validation of Matrix Converter Space Vector Modulation Algorithm

Ref. ☒ revista: WSEAS Transactions on Power Systems ☐ Libro:

Clave: A Volumen: 1 Páginas, inicial: 1.747 final: 1.753 Fecha: 2006

Autores (p.o. de firma): J. Jiménez, J. L. Martín, A. Zuloaga, U. Bidarte, J. Arias

Título: Comparison of two designs for the Multifunction Vehicle Bus

Ref. ☒ revista: IEEE Transactions on CAD of Integrated Circuits and Systems ☐ Libro:

Clave: A Volumen: 25(5) Páginas, inicial: 797 final: 805 Fecha: Mayo de 2006

Autores (p.o. de firma): J. Arias, J. Lázaro, J. Jiménez, A. Zuloaga, A. Astarloa

Título: Simulation Environment for Distance Based Location Algorithms in Wireless Sensor Networks

Ref. ☒ revista: WSEAS Transactions on Communications ☐ Libro:

Clave: A Volumen: 4 Páginas, inicial: 79 final: 84 Fecha: 2005

Autores (p.o. de firma): C. Cuadrado, A. Zuloaga, J. L. Martín, J. Lázaro, J. Jiménez

Título: VHDL Description of a Synthesizable and Reconfigurable Real-Time Stereo Vision Processor

Ref. ☒ revista: WSEAS Transactions on Electronics ☐ Libro:

Clave: A Volumen: 2 Páginas, inicial: 17 final: 22 Fecha: 2005

Autores (p.o. de firma): J. Jiménez, J. L. Martín, J. Arias, U. Bidarte, A. Astarloa

Título: TCN (Train Communication Network) gateway for simulation

Ref. ☒ revista: WSEAS Transactions on Electronics ☐ Libro:

Clave: A Volumen: 1 Páginas, inicial: 601 final: 606 Fecha: 2004

Autores (p.o. de firma): U. Bidarte, A. Astarloa, A. Zuloaga, J. Jiménez, I. Mtz. De Alegría

Título: Core-Based Reusable Architecture for Slave Circuits with Extensive Data Exchange Requirements

Ref. ☒ revista: Lecture Notes in Computer Science ☐ Libro:

Clave: A Volumen: 2.778 Páginas, inicial: 497 final: 506 Fecha: 2003

CAPÍTULOS DE LIBROS

Autores (p.o. de firma): A. Zuloaga, X. Iturbe, J. Jiménez, J. Lázaro, J. L. Martín

Título: Capítulo 1: Arquitecturas. Diseño System-on-Chip de la capa de enlace alta para nodos esclavos de bus MVB

Ref.: (Libro) Computación reconfigurable y aplicaciones. J. A. Gómez, J. M. Sánchez, M. A. Vega (Eds.).

Clave: CL Volumen: 1 Páginas: 33 - 38 Fecha: 2006

Editorial: Batanero

ISBN: 84-611-1315-2 / 978-84-611-1315-6

Lugar de publicación: Cáceres (España)

Autores (p.o. de firma): M. Garay, A. Astarloa, J. Lázaro, A. Zuloaga, J. Jiménez

Título: Capítulo 1: Arquitecturas. TAC: Controlador de auto-reconfiguración embebido para sistemas SoPC

Ref.: (Libro) Computación reconfigurable y aplicaciones. J. A. Gómez, J. M. Sánchez, M. A. Vega (Eds.).

Clave: CL Volumen: 1 Páginas: 27 - 32 Fecha: 2006

Editorial: Batanero

ISBN: 84-611-1315-2 / 978-84-611-1315-6

Lugar de publicación: Cáceres (España)

Autores (p.o. de firma): U. Bidarte, A. Astarloa, A. Zuloaga, J. L. Martín, J. Jiménez

Título: Core-Based Architecture For Data Transfer Control In SoC Design

Ref. ☐ revista: ☒ Libro: "New Algorithms, Architectures, and Applications for Reconfigurable Computing", P. Lysaght y W. Rosenstiel (Eds.).
Clave: CL Volumen: Páginas, inicial: 43 final: 54 Fecha: 2004
Editorial: Springer (Holanda).
ISBN 1-4020-3127-0
Lugar de publicación: Berlín (Alemania)

MONOGRAFÍAS DE CARÁCTER DOCENTE

Autores (p.o. de firma): J. L. Martín, J. Jiménez, A. Astarloa, A. Zuloaga, C. Cuadrado, J. Lázaro, P. Ibañez
Título: Aplicación del aprendizaje basado en proyectos a los Sistemas Electrónicos Digitales
Ref. ☐ revista: ☒ Libro: "Los grados universitarios: posibilidades y caminos de innovación"
Clave: CL Volumen: Páginas, inicial: 155 final: 179 Fecha: 2014
Editorial (si libro): Servicio Editorial UPV/EHU. M. J. Elejalde, J. A. Pereira (Eds.). ISBN: 978-84-9860-960-8
Lugar de publicación: Bilbao

Autores (p.o. de firma): Jaime Jiménez Verde y José Miguel de Diego Rodrigo
Título: Zirkuitu integratuak. Telekomunikazio ingeniariatza
Ref. ☐ revista ☒ Libro:
Clave: L Volumen: 1 Páginas, inicial: 1 final: 139 Fecha: 2014
Editorial (si libro): Servicio Editorial de la Universidad del País Vasco/Euskal Herriko Unibertsitatea
ISBN 978-84-9082-004-9
Lugar de publicación: Bilbao

Autores (p.o. de firma): José Miguel de Diego Rodrigo y Jaime Jiménez Verde
Título: Circuitos integrados. Notas docentes. 4º de Telecomunicación
Ref. ☐ revista ☒ Libro:
Clave: L Volumen: 1 Páginas, inicial: 1 final: 380 Fecha: 2007
Editorial (si libro): Publicaciones - Escuela Técnica Superior de Ingeniería
ISBN 978-84-95809-37-7
Lugar de publicación: Bilbao

Autores (p.o. de firma): J. Jiménez
Título: Modelos de programaciones. Electrónica Industrial.
Ref. ☐ revista ☒ Libro: Programa de seguimiento a la implantación del Crédito Europeo (SICRE) Curso 2005-06.
Servicio de Asesoramiento Educativo de la Universidad del País Vasco (Ed.).
Clave: CL Volumen: Páginas, inicial: 1 final: 17 Fecha: 2006
Editorial (si libro): Servicio Editorial de la Universidad del País Vasco
ISBN 84-8373-897-X
Lugar de publicación: Bilbao

Autores (p.o. de firma): J. Jiménez
Título: Planes docentes de las materias. Electrónica Industrial.
Ref. ☐ revista ☒ Libro: Programa de asesoramiento para la introducción del Crédito Europeo Curso (AICRE) 2004-05.
Servicio de Asesoramiento Educativo de la Universidad del País Vasco (Ed.).
Clave: CL Volumen: Páginas, inicial: 1 final: 14 Fecha: 2005
Editorial (si libro): Servicio Editorial de la Universidad del País Vasco
ISBN 84-8373-799-X
Lugar de publicación: Bilbao

Autores (p.o. de firma): E. Zabala, J. Jiménez, A. Astarloa y C. Cuadrado
Título: Electrónica Industrial. 4º de Ing. Industrial, 2º de Ing. en Organización y 2º de Ing. de Materiales.
Ref. ☐ revista ☒ Libro:
Clave: L Volumen: 1 Páginas, inicial: 1 final: 130 Fecha: 2008 (1 edición)
Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao
ISBN 978-84-95809-67-4

Lugar de publicación: Bilbao

Autores (p.o. de firma): J. Jiménez, E. Zabala eta K. Bañuelos.

Título: Industria Elektronikako ariketak. 4. Industria ingeniaria, 2. Industria antolakuntzako ingeniaria eta 2. Materialen ingeniaria.

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 189 Fecha: 2008 (1. argitalpena)

Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

ISBN 978-84-95809-69-8

Lugar de publicación: Bilbao

Autores (p.o. de firma): J. Jiménez, U. Bidarte, J. L. Martín y P. Ibañez

Título: Laboratorio de Electrónica Digital. 2º curso Ingeniería de Telecomunicación

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 134 Fecha: 2005

Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

Lugar de publicación: Bilbao

Autores (p.o. de firma): Armando Astarloa, Jaime Jiménez, Eduardo Zabala, Iñigo Martínez de Alegría y Carlos Cuadrado

Título: Prácticas de Electrónica Industrial

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 62 Fecha: 2004, 05, 06 y 07 (4 ediciones)

Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

Lugar de publicación: Bilbao

Autores (p.o. de firma): Eduardo Zabala, Jaime Jiménez, Armando Astarloa y Carlos Cuadrado

Título: Electrónica Industrial. 4º Ingeniería Industrial, 2º Ingeniería en Organización Industrial, 2º Ingeniería de Materiales.

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 301 Fecha: 2004, 05, 06, 07 (4 ediciones)

Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

Lugar de publicación: Bilbao

Autores (p.o. de firma): Aitzol Zuloaga, Carlos Cuadrado, Jaime Jiménez, Armando Astarloa, Gerardo Aranguren y J. Ezquerro

Título: Laboratorio de Sistemas Digitales. 2º de Telecomunicación

Ref. ☐ revista ☒ Libro:

Clave: CL Volumen: 1 Páginas, inicial: 26 final: 68 Fecha: 2004

Editorial (si libro): Servicio de publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

Lugar de publicación: Bilbao

Autores (p.o. de firma): Eduardo Zabala, Jaime Jiménez, Armando Astarloa, Carlos Cuadrado y Antonio Aparicio

Título: Electrónica Industrial. 4º Ingeniería Industrial, 2º Ingeniería en Organización Industrial, 2º Ingeniería de Materiales.

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 256 Fecha: 2003

Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

Lugar de publicación: Bilbao

Autores (p.o. de firma): José Miguel de Diego Rodrigo y Jaime Jiménez Verde

Título: Circuitos integrados. Notas docentes. 4º de Telecomunicación

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 380 Fecha: 2003

Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao

Lugar de publicación: Bilbao

Autores (p.o. de firma): Eduardo Zabala Lekue, Jaime Jiménez Verde y Armando Astarloa Cuéllar

Título: Electrónica Industrial. 4º Ingeniería Industrial, 2º Ingeniería en Organización Industrial, 2º Ingeniería de Materiales.

Ref. ☐ revista ☒ Libro:

Clave: L Volumen: 1 Páginas, inicial: 1 final: 214 Fecha: 2002
Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao
Lugar de publicación: Bilbao

Autores (p.o. de firma): J. L. Martín, J. Ezquerro, P. Ibañez, J. Jimenez y U. Bidarte
Título: Laboratorio de Electrónica Digital. 2º de Telecomunicación
Ref. ☐ revista ☒ Libro:
Clave: L Volumen: 1 Páginas, inicial: 1 final: 157 Fecha: 2002
Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao
Lugar de publicación: Bilbao

Autores (p.o. de firma): Aitzol Zuloaga, F. Recart, Jaime Jimenez, Armando Astarloa, Gerardo Aranguren y J. Ezquerro
Título: Laboratorio de Sistemas Digitales. 2º de Telecomunicación
Ref. ☐ revista ☒ Libro:
Clave: CL Volumen: 1 Páginas, inicial: 27 final: 55 Fecha: 2001
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.
Lugar de publicación: Bilbao

Autores (p.o. de firma): Pedro Luis Arias Ergueta y Jaime Jiménez Verde
Título: El control de la Tecnología: ingenieros responsables.
Ref. ☐ revista ☒ Libro:
Clave: CL Volumen: 1 Páginas, inicial: 1 final: 206 Fecha: 2001
Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao
Lugar de publicación: Bilbao

Autores (p.o. de firma): Eduardo Zabala Lekue y Jaime Jiménez Verde
Título: Electrónica Industrial. 4º Ingeniería Industrial.
Ref. ☐ revista ☒ Libro:
Clave: L Volumen: 1 Páginas, inicial: 1 final: 179 Fecha: 2000, 01 (2 ediciones)
Editorial (si libro): Servicio de Publicaciones Escuela Técnica Superior de Ingeniería de Bilbao
Lugar de publicación: Bilbao

Participación en contratos de I+D de especial relevancia con Empresas o Administraciones

(nacionales y/o internacionales)

Título del contrato/proyecto: AEROSecure: Switch/Router Ciberseguro para Aplicaciones Aerotransportadas de Tiempo Real (PT10906).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: mayo 2024 hasta: diciembre 2027

Investigador responsable: J. I. Gárate

Número de investigadores participantes: 7

PRECIO TOTAL DEL PROYECTO: 49.940 Euros

Título del contrato/proyecto: AERO5: Análisis y aplicación de la tecnología 5G en vehículos aéreos no tripulados (UAV) para aplicaciones de vigilancia, reconocimiento y soporte a la gestión de emergencias (PT10927).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: enero 2024 hasta: diciembre 2025

Investigador responsable: A. Astarloa

Número de investigadores participantes: 7

PRECIO TOTAL DEL PROYECTO: 150.600 Euros

Título del contrato/proyecto: PAPOS: Plataforma de testeo para la Automatización, Protección y cOntrol de procesos en las Subestaciones eléctricas.

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: mayo 2023 hasta: diciembre 2024

Investigador responsable: A. Astarloa

Número de investigadores participantes: 7

PRECIO TOTAL DEL PROYECTO: 75.000 Euros

Título del contrato/proyecto: TSNAero: Diseño y desarrollo de tecnología y producto electrónico certificable para comunicación ethernet determinista (TSN) en plataformas del sector aviónica y aeroespacio (PT10771).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: mayo 2022 hasta: diciembre 2024

Investigador responsable: A. Astarloa

Número de investigadores participantes: 6

PRECIO TOTAL DEL PROYECTO: 118.000 Euros

Título del contrato/proyecto: Plataforma de comunicaciones ethernet de altas prestaciones, cibersegura, orientada a aplicaciones críticas, y reconfigurable (PT10729).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: mayo 2021 hasta: julio 2023

Investigador responsable: A. Astarloa

Número de investigadores participantes: 6

PRECIO TOTAL DEL PROYECTO: 50.000 Euros

Título del contrato/proyecto: ComPutación distribuida e Interoperable para una intelLigencia Artificial en tiempo Real en Smart Factories (PILAR) (PT10641).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU
Duración, desde: marzo 2020 hasta: diciembre 2022
Investigador responsable: J. Jiménez
Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 319.074,81 Euros

Título del contrato/proyecto: Collaboration in the Study of Power Converter Topologies for Inner Triplet magnets with Energy Recovery in the framework of the High Luminosity upgrade for the LHC at CERN (2019.0662)

Tipo de contrato: Acuerdo de colaboración entre CERN y grupo de investigación APERT de la UPV/EHU

Empresa/Administración financiadora: CERN/APERT (UPV/EHU)

Entidades participantes: European Organization for Nuclear Research CERN/ APERT (UPV/EHU)

Duración, desde: diciembre 2019 hasta: marzo 2021

Investigador responsable: Iñigo Martínez de Alegria

Número de investigadores participantes: 13

PRECIO TOTAL DEL PROYECTO: 405.000,00 Euros (135.000 Euros aportados por el CERN)

Título del contrato/proyecto: TSNbone: Circuitos electrónicos integrados para las comunicaciones industriales de nueva generación (PT10616).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: marzo 2019 hasta: diciembre 2020

Investigador responsable: J. Jiménez

Número de investigadores participantes: 6

PRECIO TOTAL DEL PROYECTO: 45.000,00 Euros

Título del contrato/proyecto: TAHAN: Time Aware High Availability Networking for Smart Grids (PT10581).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU

Duración, desde: febrero 2019 hasta: mayo 2019

Investigador responsable: J. Lázaro

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 25.000,00 Euros

Título del contrato/proyecto: NEWCAUTO: Desarrollo de producto y proceso de componentes de automoción de nueva generación (PT10488).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.

Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU

Duración, desde: diciembre 17 hasta: diciembre 18

Investigador responsable: Jaime Jiménez

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 19.999,79 Euros

Título del contrato/proyecto: CYBER-SECURE CPPS Gateway (PT10480).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.

Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU

Duración, desde: noviembre 17 hasta: noviembre 18

Investigador responsable: Jesús Lázaro

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 16.250,00 Euros

Título del contrato/proyecto: CYBERSAS-Cybersecure redbox para sistemas de automatización de subestaciones (PT10479).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: noviembre 17 hasta: noviembre 18
Investigador responsable: Jaime Jiménez
Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 15.000,00 Euros

Título del contrato/proyecto: PCIe Industry 4.0. Tarjeta de red inteligente PCIe para comunicaciones redundantes sincronizadas y ciberseguras (PT10426).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: enero 16 hasta: diciembre 17

Investigador responsable: Jaime Jiménez

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 12.000,00 Euros

Título del contrato/proyecto: GRIC. Gateway con comunicación redundante para redes inteligentes (Fase III) (PT10425).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: enero 16 hasta: diciembre 17

Investigador responsable: Jesús Lázaro

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 15.000,00 Euros

Título del contrato/proyecto: CRYPTOGRID III. Smart Grid seguras (PT10424).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: diciembre 16 hasta: diciembre 17

Investigador responsable: Jaime Jiménez

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 18.500,00 Euros

Título del contrato/proyecto: CPPS GATEWAY. Desarrollo de un novedoso gateway inteligente que garantice la seguridad para la integración de Cyber-Physical Production Systems (CPPS) en la industria del Futuro (PT10422).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: diciembre 16 hasta: diciembre 17

Investigador responsable: Jesús Lázaro

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 20.250,00 Euros

Título del contrato/proyecto: CARES: Desarrollo de bienes de equipo avanzados para la cadena de valor manufacturera basados en nuevos conceptos para la ayuda a la toma de decisiones orientada a la generación de servicios de alto valor añadido para la recuperación de la competitividad de la industria española (PT10402).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: enero 16 hasta: diciembre 19

Investigador responsable: Unai Bidarte

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 75.000,00 Euros

Título del proyecto: Integración de algoritmos de control de motores en FPGA de Xilinx (FPGAmc)

Tipo de contrato: Art. 83 LOU
Empresa/Administración financiadora: Fundación Tecnalia Research & Innovation
Entidades participantes: Universidad del País Vasco (UPV/EHU)
Duración, desde: junio 2015 hasta: diciembre 2015
Investigador responsable: Iñigo Kortabarria
Número de investigadores participantes: 8
PRECIO TOTAL DEL PROYECTO: 25.000,00 Euros

Título del proyecto: Puesta en marcha del control de posición para un actuador electromecánico en aplicaciones de aviación (EMASUP).

Tipo de contrato: Art. 83 LOU
Empresa/Administración financiadora: Fundación Tecnalia Research & Innovation
Entidades participantes: Universidad del País Vasco (UPV/EHU)
Duración, desde: marzo 2015 hasta: junio 2015
Investigador responsable: Iñigo Kortabarria
Número de investigadores participantes: 10
PRECIO TOTAL DEL PROYECTO: 21.500,00 Euros

Título del contrato/proyecto: Desarrollo de una plataforma para la integración de Cyber-Physical Production Systems y la explotación inteligente de la información y el conocimiento para manufactura avanzada (CPPS) (PT10301).

Tipo de contrato: Art. 83 LOU
Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: diciembre 14 hasta: noviembre 17
Investigador responsable: Unai Bidarte
Número de investigadores participantes: 6
PRECIO TOTAL DEL PROYECTO: 36.000,00 Euros

Título del contrato/proyecto: CYSYS: Asesoramiento técnico en Cyber-Physical Production Systems (CPPS) con conexiones ethernet de alta disponibilidad (PT10305).

Tipo de contrato: Art. 83 LOU
Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: diciembre 14 hasta: marzo 16
Investigador responsable: Aitzol Zuloaga
Número de investigadores participantes: 6
PRECIO TOTAL DEL PROYECTO: 20.000,00 Euros

Título del contrato/proyecto: GRIC - Gateway con comunicación redundante para redes inteligentes (Fase I) (PT10304).

Tipo de contrato: Art. 83 LOU
Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: diciembre 14 hasta: noviembre 15
Investigador responsable: Jesús Lázaro
Número de investigadores participantes: 6
PRECIO TOTAL DEL PROYECTO: 17.000,00 Euros

Título del contrato/proyecto: CRYPTOGRID, Investigación en Arquitecturas Reconfigurables para Cyber-Seguridad en la Smart Grid (Fase I) (PT10302).

Tipo de contrato: Art. 83 LOU
Empresa/Administración financiadora: System on Chip Engineering S. L.
Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU
Duración, desde: noviembre 14 hasta: noviembre 15
Investigador responsable: Armando Astarloa
Número de investigadores participantes: 6
PRECIO TOTAL DEL PROYECTO: 18.000,00 Euros

Título del contrato/proyecto: Desarrollo de un núcleo en FPGA para conmutador Ethernet (PT10307).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.

Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU

Duración, desde: diciembre 14 hasta: marzo 15

Investigador responsable: Jaime Jiménez

Número de investigadores participantes: 6

PRECIO TOTAL DEL PROYECTO: 20.000,00 Euros

Título del contrato/proyecto: Diseño y desarrollo del control de posición para un actuador electromecánico en aplicaciones de aviación (EMACON) (PT10285).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación Tecnalia Research & Innovation

Entidades participantes: UPV/EHU

Duración, desde: junio 14 hasta: noviembre 14

Investigador responsable: Íñigo Kortabarria

Número de investigadores participantes: 9

PRECIO TOTAL DEL PROYECTO: 30.000,00 Euros

Título del contrato/proyecto: Asesoramiento Técnico para el Desarrollo de Software y Firmware del Equipo de Laboratorio para Radio Definida por Software (Fase I) (PT10246).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.

Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU

Duración, desde: Junio 13 hasta: Octubre 14

Investigador responsable: Armando Astarloa

Número de investigadores participantes: 7

PRECIO TOTAL DEL PROYECTO: 20.000,00 Euros

Título del contrato/proyecto: Diseño y desarrollo de un inversor para motor de imanes permanentes en aplicaciones de automoción (EVIN) (PT10215).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fagor Electrónica, S. Coop.

Entidades participantes: Fagor Electrónica, S. Coop y la UPV/EHU

Duración, desde: Febrero 13 hasta: Abril 14

Investigador responsable: Íñigo Martínez de Alegria

Número de investigadores participantes: 9

PRECIO TOTAL DEL PROYECTO: 98.000,00 Euros

Título del contrato/proyecto: IEEE 1588 based sub-microsecond synchronization for Power Over Ethernet Relay Control and Communication Device (POER)

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.

Entidades participantes: SoC-e y UPV/EHU

Duración, desde: Noviembre 2012 hasta: noviembre 2013

Investigador responsable: J. Lázaro

Número de investigadores participantes: 4

PRECIO TOTAL DEL PROYECTO: 30.140 euros

Título del contrato/proyecto: Análisis, estudio y definición de las prestaciones del equipo bajo diseño, desde la perspectiva de la arquitectura FPGA implicada en el mismo AS20152

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU, System-on-Chip engineering S.L.

Duración, desde: diciembre 11 hasta: marzo 12

Investigador responsable: Jesús Lázaro

Número de investigadores participantes: 4

PRECIO TOTAL DEL PROYECTO: 7.000,00 Euros

Título del contrato/proyecto: Asesoría Técnica en Sistemas Autónomos Tolerantes a Fallos Basados en FPGAs (Fase I)

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System-on-Chip engineering S.L.

Entidades participantes: UPV/EHU, System-on-Chip engineering S.L.

Duración, desde: Marzo 11 hasta: Julio 11

Investigador responsable: Armando Astarloa

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 8.000,00 Euros

Título del contrato/proyecto: Research on Reconfigurable Devices

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: System on Chip Engineering S. L.

Entidades participantes: System on Chip Engineering S. L. y la UPV/EHU

Duración, desde: Septiembre 11 hasta: Septiembre 12

Investigador responsable: Armando Astarloa

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 50.000,00 Euros

Título del contrato/proyecto: Investigación en nuevos circuitos de control y potencia para convertidores de energía

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación ROBOTIKER

Entidades participantes: UPV/EHU, Robotiker

Duración, desde: Mayo 10 hasta: Abril 13

Investigador responsable: José Luis Martín

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 87.442,37 Euros

Título del contrato/proyecto: ASISTEL: Sistema de comunicaciones para telealarma

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Comercial de Telecomunicaciones S. A. (COTESA)

Entidades participantes: UPV/EHU, COTESA

Duración, desde: Diciembre 09 hasta: Diciembre 10

Investigador responsable: José Luis Martín y Eduardo Jacob

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 92.800,00 Euros

Título del contrato/proyecto: Desarrollo de un sistema electrónico de visualización avanzada de consumos energéticos con aplicaciones domóticas

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Dinitel S.A.

Entidades participantes: Dinitel S.A. y la UPV/EHU

Duración, desde: mayo 09 hasta: diciembre 09

Investigador responsable: Armando Astarloa

Número de investigadores participantes: 7

PRECIO TOTAL DEL PROYECTO: 25.000,00 Euros

Título del contrato/proyecto: Sistema de control y potencia para luminaria ecológica (SIC).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Consultoría Lumínica S.L.

Entidades participantes: UPV/EHU, Consultoría Lumínica

Duración, desde: octubre 08 hasta: noviembre 08

Investigador responsable: Jaime Jiménez

Número de investigadores participantes: 3

PRECIO TOTAL DEL PROYECTO: 5.750,00 Euros

Título del contrato/proyecto: Equipo modulador de televisión digital (EMOTELDI).

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: ALCAD S.A.

Entidades participantes: UPV/EHU, ALCAD

Duración, desde: Julio 08 hasta: Septiembre 09

Investigador responsable: Manuel Vélez

Número de investigadores participantes: 8

PRECIO TOTAL DEL PROYECTO: 152.668,45 Euros

Título del contrato/proyecto: Broadband Access Networks Integrated Telecommunication System 2 – Módulo PBT.

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación ROBOTIKER

Entidades participantes: UPV/EHU, Robotiker

Duración, desde: Marzo 08 hasta: Noviembre 08

Investigador responsable: José Luis Martín

Número de investigadores participantes: 7

PRECIO TOTAL DEL PROYECTO: 25.334,40 Euros

Título del contrato/proyecto: Investigación Aplicada en Electrónica asociada a las Energías Renovables

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación ROBOTIKER.

Entidades participantes: UPV/EHU, Robotiker

Duración, desde: Marzo 07 hasta: Febrero 10

Investigador responsable: José Luis Martín

Número de investigadores participantes: 12

PRECIO TOTAL DEL PROYECTO: 99.240,00 Euros

Título del contrato/proyecto: Emisor-Receptor para Enlace de Larga Distancia y Baja Frecuencia por Fibra Óptica (T5106)

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación ROBOTIKER.

Entidades participantes: UPV/EHU, Robotiker

Duración, desde: Junio 2006 hasta: Septiembre 2006

Investigador responsable: Carlos Cuadrado Viana

Número de investigadores participantes: 3

PRECIO TOTAL DEL PROYECTO: 2.560,00 Euros

Título del contrato/proyecto: Sistema de microprocesado con interfaz inalámbrica Bluetooth (P3005)

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Kementsu, S.L.

Entidades participantes: UPV/EHU, Kementsu, S.L.

Duración, desde: Enero 05 hasta: Enero 06

Investigador responsable: Jagoba Arias

Número de investigadores participantes: 5

PRECIO TOTAL DEL PROYECTO: 9.923,20 Euros

Título del contrato/proyecto: Investigación Aplicada en Generación Eléctrica Distribuida y Acondicionamiento de Potencia

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación ROBOTIKER.

Entidades participantes: UPV/EHU, Robotiker

Duración, desde: Marzo 04 hasta: Febrero 07

Investigador responsable: José Luis Martín

Número de investigadores participantes: 8

PRECIO TOTAL DEL PROYECTO: 104.342,40 Euros

Título del contrato/proyecto: Fuente de Alimentación Conmutada con Corrector de Factor de Potencia y Módulo de Conmutación de Alimentaciones para el Desfibrilador Reanibex-750

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: OSATU S.COOP.
Entidades participantes: UPV/EHU, OSATU S.COOP.
Duración, desde: Marzo 02 hasta: Diciembre 02
Investigador responsable: Iñigo Martínez de Alegria Mancisidor
Número de investigadores participantes: 8

PRECIO TOTAL DEL PROYECTO: 15.100,00 Euros

Título del contrato/proyecto: Equipo de reconocimiento automático de caracteres.

Tipo de contrato: Art. 11 LRU

Empresa/Administración financiadora: Fundación Robotiker.

Entidades participantes: Ibermática, Ikusi, Hunolt, Euskaltel, Robotiker, Ikerlan, U.P.V., Gobierno Vasco.

Duración, desde: 1/01/2000 hasta: 30/11/2000

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 6.

PRECIO TOTAL DEL PROYECTO: 13.440.000

Título del contrato/proyecto: Sistema informático de tren. Fase 4.

Tipo de contrato: Art. 11 LRU

Empresa/Administración financiadora: Construcciones y Auxiliar de Ferrocarriles S.A. (C.A.F.).

Entidades participantes: Universidad del País Vasco, C.A.F.

Duración, desde: 01/03/1999 hasta: 30/11/2000

Investigador responsable: Gerardo Aranguren Aramendía

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 19.836.000

Título del contrato/proyecto: Sistema informático de tren. Fase 3.

Tipo de contrato: Art. 11 LRU

Empresa/Administración financiadora: Construcciones y Auxiliar de Ferrocarriles S.A. (C.A.F.).

Entidades participantes: Universidad del País Vasco, C.A.F.

Duración, desde: 1/03/1999 hasta: 30/09/2000

Investigador responsable: Gerardo Aranguren Aramendía

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 33.690.085

Título del contrato/proyecto: Sistema informático de tren. Fase 2.

Tipo de contrato: Art. 11 LRU

Empresa/Administración financiadora: Construcciones y Auxiliar de Ferrocarriles S.A. (C.A.F.).

Entidades participantes: Universidad del País Vasco, C.A.F.

Duración, desde: 1/11/1998 hasta: 31/12/1999

Investigador responsable: Gerardo Aranguren Aramendía

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 21.117.928

Título del contrato/proyecto: Sistema informático de tren. Fase 1.

Tipo de contrato: Art. 11 LRU

Empresa/Administración financiadora: Construcciones y Auxiliar de Ferrocarriles S.A. (C.A.F.).

Entidades participantes: Universidad del País Vasco, C.A.F.

Duración, desde: 1/06/1998 hasta: 31/01/1999

Investigador responsable: Gerardo Aranguren Aramendía

Número de investigadores participantes: 10

PRECIO TOTAL DEL PROYECTO: 8.653.890

Estancias en Centros extranjeros
(estancias continuadas superiores a un mes)

CLAVE: D = doctorado, P = postdoctoral, I = invitado, C = contratado, O = otras (especificar)

Centro: Ecole Supérieure des Technologies Industrielles Avancées (ESTIA)

Localidad: Bidart

País Francia

Fecha: 1/7/2007–30/9/2007

Duración (semanas): 13

Tema: Design of power converters for renewable energies, DC/DC converters and applications of FPGAS

Clave: I

Contribuciones a Congresos

PUBLICACIONES DE TRABAJOS PRESENTADOS A CONGRESOS INTERNACIONALES (PROCEEDINGS)

Autores: N. del Olmo Perez, J. Jiménez Verde, A. Astarloa, S. Alonso, J. Lazaro
Título: RISC-V System-On-Chip designed to determine the speed of an object and display data on an OLED screen
Tipo de participación: Póster
Congreso: XXXIX Conference on Design of Circuits and Integrated Systems (DCIS 2024)
Publicación: Proceedings of DCIS 2024, págs. 387-392.
Lugar de celebración: Catania (Italia) Fecha: 13-15 noviembre 2024

Autores: J. Jiménez, A. Zuloaga, I. Kortabarria, A. Astarloa, J. Lázaro.
Título: Frente a la moda de la enseñanza en subgrupos pequeños, el potencial del aprendizaje individual.
Congreso: XVI Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2024).
Publicación: Libro de Actas del TAE 2024, págs. 563-566. ISBN: 978-84-09-63040-0.
Lugar de celebración: Málaga Fecha: 26-28 de junio de 2024

Autores: S. Alonso, J. Lázaro, J. Jiménez, L. Mugira, U. Bidarte
Título: Timing requirements on multi-processing and reconfigurable embedded systems with multiple environments
Tipo de participación: Ponencia
Congreso: XXXVIII Conference on Design of Circuits and Integrated Systems (DCIS 2023)
Publicación: Proceedings of DCIS 2023, págs. 277-282. ISBN 979-8-3503-0385-8
Lugar de celebración: Málaga Fecha: 15-17 noviembre 2023

Autores: J. Á. Gumiel, J. Jiménez, J. Mabe, J. Barruetaña.
Título: A Holistic Approach on Automotive Cybersecurity for Suppliers.
Tipo de participación: Ponencia
Congreso: The Twelfth International Conference on Advances in Vehicular Systems, Technologies and Applications (VEHICULAR 2023).
Publicación: Vehicular 2023, págs. 47-53. ISBN: 978-1-68558-061-2.
Lugar de celebración: Barcelona Fecha: 13-17 marzo 2023

Autores: P. Fernández, J. Jiménez, A. Astarloa, M. Idirin, S. Salas
Título: Accelerating Video Analytic Processing on Edge Intelligence
Tipo de participación: Ponencia
Congreso: XXXVII Conference on Design of Circuits and Integrated Systems (DCIS 2022)
Publicación: Proceedings of DCIS 2022, págs. 399-404. ISBN 978-1-6654- 5950-1
Lugar de celebración: Pamplona Fecha: 16-18 noviembre 2022

Autores: S. Alonso, J. Lázaro, J. Jiménez, L. Mugira, U. Bidarte
Título: The influence of virtualization on real-time systems' interrupts in embedded SoC platforms
Tipo de participación: Ponencia
Congreso: XXXVII Conference on Design of Circuits and Integrated Systems (DCIS 2022)
Publicación: Proceedings of DCIS 2022, págs. 227-232. ISBN 978-1-6654- 5950-1
Lugar de celebración: Pamplona Fecha: 16-18 noviembre 2022

Autores: A. Santiago, L. Mugira, J. Jiménez, Le Sun, J. Lázaro
Título: Analysis and Deployment of Applications Acceleration Environment for Xilinx Hardware-Accelerated Platforms
Tipo de participación: Ponencia
Congreso: XXXVII Conference on Design of Circuits and Integrated Systems (DCIS 2022)
Publicación: Proceedings of DCIS 2022, págs. 221-226. ISBN 978-1-6654- 5950-1
Lugar de celebración: Pamplona Fecha: 16-18 noviembre 2022

Autores: J. L. Unibaso, J. Á. Araujo, J. Lázaro, J. Jiménez, L. Mugira
Título: Design and development of an IoT device provided with a voice interface to improve treatment adherence in polymedicated patients

Tipo de participación: Ponencia

Congreso: XXXVII Conference on Design of Circuits and Integrated Systems (DCIS 2022)

Publicación: Proceedings of DCIS 2022, págs. 187-192. ISBN 978-1-6654- 5950-1

Lugar de celebración: Pamplona

Fecha: 16-18 noviembre 2022

Autores: J. Jiménez, A. Zuloaga, I. Kortabarria, E. Ibarra, J. Lázaro.

Título: Enseñar ingeniería en las catástrofes.

Congreso: XV Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAEE 2022).

Publicación: Libro de Actas del TAEE 2022, págs. 361-364. ISBN: 978-84-09-42360-6

Lugar de celebración: Teruel

Fecha: 29 de junio-1 de julio de 2022

Autores: S. Alonso, J. Lázaro, J. Jiménez, L. Muguiru, U. Bidarte

Título: Evaluating the OpenAMP framework in real-time embedded SoC platforms

Tipo de participación: Ponencia

Congreso: XXXVI Conference on Design of Circuits and Integrated Systems (DCIS 2021)

Publicación: Proceedings of DCIS 2021, págs. 149-154. ISBN 978-1-6654-2116-4

Lugar de celebración: Vila do Conde (Portugal)

Fecha: 24-26 noviembre 2021

Autores: J. Lázaro, L. Burgos, L. Muguiru, A. Astarloa, J. Jiménez

Título: Electronic control board for student Rocket

Tipo de participación: Ponencia

Congreso: XXXV Conference on Design of Circuits and Integrated Systems (DCIS 2020)

Publicación: Proceedings of DCIS 2020, págs. 253-257. ISBN 978-1-7281-9132-4

Lugar de celebración: Segovia

Fecha: 18-20 noviembre 2020

Autores: S. Alonso, J. Lázaro, J. Jiménez, L. Muguiru, A. Largacha

Título: Analysing the interference of Xen hypervisor in the network speed

Tipo de participación: Ponencia

Congreso: XXXV Conference on Design of Circuits and Integrated Systems (DCIS 2020)

Publicación: Proceedings of DCIS 2020, págs. 238-243. ISBN 978-1-7281-9132-4

Lugar de celebración: Segovia

Fecha: 18-20 noviembre 2020

Autores: A. Astarloa, M. Rodríguez, F. Durán, J. Jiménez, J. Lázaro

Título: Synchronizing NTP Referenced SCADA Systems Interconnected by High-availability Networks

Tipo de participación: Ponencia

Congreso: XXXV Conference on Design of Circuits and Integrated Systems (DCIS 2020)

Publicación: Proceedings of DCIS 2020, págs. 34-39. ISBN 978-1-7281-9132-4

Lugar de celebración: Segovia

Fecha: 18-20 noviembre 2020

Autores: J. Jiménez, A. Zuloaga, I. Kortabarria, E. Ibarra, J. Lázaro.

Título: Si la montaña no viene a Mahoma ... Redescubriendo el potencial de las tutorías.

Congreso: XIV Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAEE 2020).

Publicación: Libro de Actas del TAEE 2020, págs. 57-60. ISBN: 978-989-54758-3-4

Lugar de celebración: Oporto (Portugal)

Fecha: 8-10 de julio de 2020

Autores: C. Cuadrado, I. Kortabarria, J. Lázaro, U. Bidarte, J. Jiménez

Título: Fast and efficient FPGA prototype system for embedded control algorithms in electric traction

Tipo de participación: Ponencia

Congreso: XXXIV Conference on Design of Circuits and Integrated Systems (DCIS 2019)

Publicación: Proceedings of DCIS 2019, págs. 258-264. ISBN 978-84-09-17431-7

Lugar de celebración: Bilbao

Fecha: 20-22 noviembre 2019

Autores: E. Montero, J. Lázaro, U. Bidarte, J. Jiménez

Título: Using Dynamic Partial Reconfiguration to address the BRAM contents in an FPGA so as to gain a new access port in high-speed applications

Tipo de participación: Ponencia

Congreso: XXXIII Conference on Design of Circuits and Integrated Systems (DCIS 2018)

Publicación: Proceedings of DCIS 2018

Lugar de celebración: Lyon (Francia)

Fecha: 14-16 noviembre 2018

Autores: M. Rodríguez, A. Astarloa, J. Lazaro, U. Bidarte, J. Jiménez

Título: System-on-Programmable-Chip AES-GCM implementation for wire-speed cryptography for SAS

Tipo de participación: Ponencia

Congreso: XXXIII Conference on Design of Circuits and Integrated Systems (DCIS 2018)

Publicación: Proceedings of DCIS 2018

Lugar de celebración: Lyon (Francia)

Fecha: 14-16 noviembre 2018

Autores: J. Jiménez, A. Zuloaga, J. Lázaro, C. Cuadrado, U. Bidarte.

Título: Salvar al soldado Teleco.

Congreso: XIII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2018).

Publicación: Libro de Actas del TAE 2018, págs. 427-429. ISBN: 978-84- 09-03113-9.

Lugar de celebración: Puerto de la Cruz, Tenerife

Fecha: 20 al 22 de junio de 2018

Autores: A. Zuloaga, J. Jiménez, J. Lázaro, C. Cuadrado, U. Bidarte.

Título: Las máquinas de tiempo como base del procesamiento en tiempo real con pequeños procesadores.

Congreso: XIII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2018).

Publicación: Libro de Actas del TAE 2018, págs. 262-269. ISBN: 978-84- 09-03113-9.

Lugar de celebración: Puerto de la Cruz, Tenerife

Fecha: 20 al 22 de junio de 2018

Autores: A. Zuloaga, J. Jiménez, J. Lázaro, C. Cuadrado, U. Bidarte.

Título: Definición de máquinas de estados, eventos y acciones en pequeños procesadores.

Congreso: XIII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2018).

Publicación: Libro de Actas del TAE 2018, págs. 254-261. ISBN: 978-84- 09-03113-9.

Lugar de celebración: Puerto de la Cruz, Tenerife

Fecha: 20 al 22 de junio de 2018

Autores: J. Jiménez, U. Bidarte, C. Cuadrado, A. Zuloaga, J. Lázaro.

Título: CPPS-Gate40 Sensor: an Intelligent Gateway for Smart Factories.

Congreso: XXXII Conference on Design of Circuits and Integrated Systems (DCIS 2017).

Publicación: Proceedings of DCIS 2017, págs. 61/1-5.

Lugar de celebración: Barcelona

Fecha: 22 al 24 de noviembre de 2017

Autores: J. Jiménez, U. Bidarte, C. Cuadrado, E. Garcia, J. Lázaro.

Título: SafeSoC: a Fault-Tolerant-by-Redundancy Evaluation Card for High Speed Serial Communications.

Congreso: XXXI Conference on Design of Circuits and Integrated Systems (DCIS 2016).

Publicación: Proceedings of DCIS 2016, págs. 4. ISBN: 978-1-5090-4565-5/16.

Lugar de celebración: Granada

Fecha: 23 al 25 de noviembre de 2016

Autores: I. Villalta, U. Bidarte, J. Gómez-Cornejo, J. Jiménez, C. Cuadrado.

Título: Effect of Different Design Stages on the SEU Failure Rate of FPGA systems.

Congreso: XXXI Conference on Design of Circuits and Integrated Systems (DCIS 2016).

Publicación: Proceedings of DCIS 2016, págs. 6. ISBN: 978-1-5090-4565-5/16.

Lugar de celebración: Granada

Fecha: 23 al 25 de noviembre de 2016

Autores: A. Astarloa, U. Bidarte, J. Jiménez, A. Zuloaga, J. Lázaro.

Título: Intelligent gateway for Industry 4.0-compliant production lines.

Congreso: 42nd Annual Conference of the IEEE Industrial Electronics Society (IECON 2016).

Publicación: Proceedings of IECON 2016, págs. 1-6. ISBN: 978-1-5090-3474-1.

Lugar de celebración: Florencia (Italia)

Fecha: 24 al 27 de octubre de 2016

Autores: J. Jiménez, C. Cuadrado, I. Kortabarria, J. Andreu, A. Zuloaga.

Título: Dificultades al aprender a especificar máquinas de estados en sistemas microprogramados.

Congreso: XII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2016).

Publicación: Libro de Actas del TAE 2016, págs. 429-433. ISBN: 978-84-608-9298-4.

Lugar de celebración: Sevilla

Fecha: 22 al 24 de junio de 2016

Autores: N. Moreira, J. Jiménez, M. Idirin, A. Astarloa.
Título: Security Mechanisms to protect IEEE 1588 Synchronization: State of the Art and Trends.
Congreso: 2015 International IEEE Symposium on Precision Clock Synchronization for Measurement, Control and Communication (ISPCS 2015).
Publicación: Proceedings of ISPCS 2015, págs. 115-120. ISBN: 978-1-4673-7595-5.
Lugar de celebración: Pekín (China) Fecha: 11 al 16 de octubre de 2015

Autores: I. Villalta, U. Bidarte, G. Santos, A. Matallana, J. Jiménez.
Título: Fault Injection System for SEU Emulation in Zynq SoCs.
Congreso: XXIX Conference on Design of Circuits and Integrated Systems (DCIS 2014).
Publicación: Proceedings of DCIS 2014, págs. 6. ISBN: 978-1-4799-5743-9/14.
Lugar de celebración: Madrid Fecha: 26 al 28 de noviembre de 2014

Autores: J. Jiménez, S. Uriarte, J. J. Gutiérrez, I. Álvarez, M. A. Illarramendi.
Título: Coordinando primero de grado: ¿cuánto tiempo exigen las tareas no presenciales, por asignatura?
Congreso: XI Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2014).
Publicación: Libro de Actas del TAE 2014, págs. 333-338. ISBN: 978-84-697-0349-6.
Lugar de celebración: Bilbao Fecha: 11 al 13 de junio de 2014

Autores: A. Zuloaga, J. Jiménez, I. Kortabarria, J. Andreu.
Título: PICTOR: circuito impreso para montar un sistema digital básico.
Congreso: XI Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2014).
Publicación: Libro de Actas del TAE 2014, págs. 315-319. ISBN: 978-84-697-0349-6.
Lugar de celebración: Bilbao Fecha: 11 al 13 de junio de 2014

Autores: U. Bidarte, J. Lázaro, C. Cuadrado, J. Jiménez.
Título: Luces y sombras en las metodologías activas para aprender Electrónica digital.
Congreso: XI Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAE 2014).
Publicación: Libro de Actas del TAE 2014, págs. 311-314. ISBN: 978-84-697-0349-6.
Lugar de celebración: Bilbao Fecha: 11 al 13 de junio de 2014

Autores: A. Zuloaga, A. Astarloa, J. Jiménez, J. Lázaro, J.A. Araujo.
Título: Cost-effective Redundancy for Ethernet Train Communications using HSR.
Congreso: 23rd International Symposium on Industrial Electronics (ISIE 2014).
Publicación: Proceedings of ISIE 2014, págs. 1117-1122. ISBN: 978-1-4799-2398-4
Lugar de celebración: Estambul (Turquía) Fecha: 1 al 4 de junio de 2014

Autores: J. Gomez-Cornejo, A. Zuloaga, U. Kretzschmar, U. Bidarte, J. Jimenez
Título: Study of Implementation Alternatives for a Lockstep Approach in FPGA Soft Core Processors
Congreso: XXVIII Design of Circuits and Integrated Systems Conference (DCIS 2013)
Publicación: Proceedings of XXVIII DCIS 2013, págs. 499-500. ISBN: 978-84-8081-401-0
Lugar de celebración: San Sebastián (España) Fecha: 27 al 29 de noviembre de 2013

Autores: A. Zuloaga, A. Astarloa, J. Jiménez, J. Lázaro, U. Bidarte.
Título: High-availability Seamless Redundancy for Train Ethernet Consist Network.
Congreso: XXVIII Design of Circuits and Integrated Systems Conference (DCIS 2013).
Publicación: Proceedings of XXVIII DCSI 2013, págs. 122-127. ISBN: 978-84-8081-401-0.
Lugar de celebración: San Sebastián (España) Fecha: 27 al 29 de noviembre de 2013

Autores: J. Gomez-Cornejo, A. Zuloaga, U. Kretzschmar, U. Bidarte, J. Jimenez.
Título: Fast Context Reloading Lockstep Approach for SEUs Mitigation in a FPGA Soft Core Processor.
Congreso: 39th Annual Conference of the IEEE Industrial Electronics Society (IECON 2013)
Publicación: Proceedings of IECON 2013, págs. 2259-2264. ISBN 978-1-4799-0223-1.
Lugar de celebración: Viena (Austria) Fecha: 10 al 13 de noviembre de 2013

Autores: J. Gómez-Cornejo, A. Zuloaga, U. Bidarte, J. Jiménez, U. Kretschmar
Título: Interface tasks oriented 8-bit soft-core processor
Congreso: 9th FPGAworld conference, FPGAworld 2012
Publicación: FPGAworld conference book 2012, pág.: 21-26. ISBN: 978-1-4503-1645-3
Lugar de celebración: Tampere (Finlandia) Fecha: 4 de Septiembre de 2012

Autores: U. Kretschmar, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez
Título: Robustness analysis of different AES implementations on SRAM based FPGAs
Tipo de participación: Ponencia
Congreso: 2011 International Conference on ReConfigurable Computing and FPGAs (RECONFIG 2011)
Publicación: Proceedings of the RECONFIG 2011, págs. 255-260
ISBN: 978-0-7695-4551-6/11
Lugar de celebración: Cancún (Méjico) Fecha: 30 de Noviembre al 2 de Diciembre de 2011

Autores: U. Kretschmar, A. Astarloa, J. Lázaro, J. Jiménez, A. Zuloaga
Título: An automatic experimental set-up for robustness analysis of designs implemented on SRAM FPGAs
Tipo de participación: Ponencia
Congreso: 2011 International Symposium on System on Chip
Publicación: 2011 International Symposium on System-on-Chip Proceedings
ISBN: 978-1-4577-0670-7
Lugar de celebración: Tampere (Finlandia) Fecha: 31 de Octubre al 2 de Noviembre de 2011

Autores: Á. Llaría, O. Curea, J. Jiménez, J. L. Martín, A. Zuloaga
Título: Wireless communication system for microgrids management in islanding
Tipo de participación: Comunicación
Congreso: 14th European Conference on Power Electronics and Applications (EPE 2011)
Publicación: Proceedings of the EPE 2011, págs. 1-10. ISBN 9789075815153
Lugar de Celebración: Birmingham (Reino Unido) Fecha: 30 de Agosto al 1 de Septiembre de 2011

Autores: O. Díaz, A. Astarloa, A. Zuloaga, J. Lázaro, J. Jiménez
Título: NoCmodel: an extensible framework for Network-on-Chips modeling
Tipo de participación: Poster
Congreso: 6th International Workshop on Reconfigurable Communication-centric Systems-on-Chip
Publicación: Proceedings of 6th International Workshop on Reconfigurable Communication-centric Systems-on-Chip
Lugar de celebración: Montpellier (Francia) Fecha: 20 al 22 de junio de 2011

Autores: J. Lázaro, A. Astarloa, A. Zuloaga, J. Jiménez, U. Bidarte, J.L. Martín.
Título: High reliability capture core for data acquisition in System on Programmable Chips.
Tipo de participación: Ponencia
Congreso: VII Southern Programmable Logic Conference (SPL 2011).
Publicación: Proceedings of the 2011 VII Designer Forum, págs. 73-78
ISBN: 978-84-614-7682-4.
Lugar de celebración: Córdoba (Argentina) Fecha: 13 al 15 de abril de 2011

Autores: A. Morillo, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez.
Título: Known-Blocking. Synchronization method for reliable processor using TMR & DPR in SRAM FPGAs.
Tipo de participación: Ponencia
Congreso: VII Southern Programmable Logic Conference (SPL 2011).
Publicación: Proceedings of the 2011 VII Designer Forum, págs. 57-62
ISBN: 978-1-4244-8846-9
Lugar de celebración: Córdoba (Argentina) Fecha: 13 al 15 de abril de 2011

Autores: U. Bidarte, A. Zuloaga, J. Jiménez, J. Lázaro, A. Astarloa
Título: A case study on Technology Transfer from University to Enterprises for System on Chip Design Innovation
Tipo de participación: Ponencia
Congreso: XXV design of circuits and systems conference, DCIS 2010
Publicación: Proceedings of XXV design of circuits and systems conference

ISBN: 978-84-693-7393-4

Lugar de celebración: Lanzarote (España) Fecha: 17 al 19 de Noviembre de 2010

Autores: J. Lázaro, A. Astarloa, A. Zuloaga, J. Jiménez, J.L. Martín

Título: High reliability FIR filter on FPGAs for data acquisition

Tipo de participación: Ponencia

Congreso: XXV design of circuits and systems conference, DCIS 2010

Publicación: Proceedings of XXV design of circuits and systems conference

ISBN: 978-84-693-7393-4

Lugar de celebración: Lanzarote (España) Fecha: 17 al 19 de Noviembre de 2010

Autores: A. Astarloa, U. Bidarte, J. Lázaro, J. Jiménez, A. Zuloaga

Título: A FPGA based platform for autonomous fault tolerant systems

Tipo de participación: Ponencia

Congreso: XXV design of circuits and systems conference, DCIS 2010

Publicación: Proceedings of XXV design of circuits and systems conference

ISBN: 978-84-693-7393-4

Lugar de celebración: Lanzarote (España) Fecha: 17 al 19 de Noviembre de 2010

Autores: A. Morillo, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez

Título: Reliable Microprocessors for FPGAs: State of the Art and Trends

Tipo de participación: Ponencia

Congreso: Applied Electronics 2010

Publicación: Proceedings of the AE 2010, págs. 1-6. ISBN 978-80-7043-865-7

Lugar de celebración: Pilsen (Chequia) Fecha: 8 al 9 de Septiembre de 2010

Autores: A. Madariaga, J. Jiménez, J. L. Martín, U. Bidarte, A. Zuloaga

Título: Review of Electronic Design Automation Tools for High-Level Synthesis

Tipo de participación: Comunicación

Congreso: International Conference on Applied Electronics 2010 (AE 2010)

Publicación: Proceedings of AE 2010, págs. 203-208. ISBN 978-80-7043-865-7

Lugar de Celebración: Pilsen (Chequia) Fecha: 8 al 9 de Septiembre de 2010

Autores: X. Iturbe, J. Jiménez, A. Zuloaga, J. Lázaro, J. L. Martín

Título: The Train Communication Network: Standardization goes Aboard

Tipo de participación: Comunicación

Congreso: IEEE International Conference on Industrial Technology (ICIT 2010)

Publicación: Proceedings of the IEEE-ICIT 2010, págs. 1647-1652. ISBN 978-1-4244-5697-0

Lugar de Celebración: Viña del Mar (Chile) Fecha: 14 al 17 de Marzo de 2010

Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga, J. Jiménez

Título: PCIREX: A Fast Prototyping Platform for TMR Dynamically Reconfigurable Systems

Tipo de participación: Comunicación

Congreso: 2009 International Conference on ReConFigurable Computing and FPGAs (ReConFig'09)

Publicación: Proceedings of the ReConFig'09, págs. 54-58. ISBN 978-0-7695-3917-1.

Lugar de Celebración: Cancún (México) Fecha: 9 - 11 de diciembre de 2009

Autores: T. Dorta, J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa

Título: Overview of FPGA-Based Multiprocessor Systems

Tipo de participación: Comunicación

Congreso: 2009 International Conference on ReConFigurable Computing and FPGAs (ReConFig'09)

Publicación: Proceedings of the ReConFig'09, págs. 273-278. ISBN 978-0-7695-3917-1.

Lugar de Celebración: Cancún (México) Fecha: 9 - 11 de diciembre de 2009

Autores: A. Astarloa, A. Zuloaga, J. Lázaro, J. Jiménez y C. Cuadrado

Título: Scalable 128-bit AES-CM Crypto-Core Reconfigurable Implementation for Secure Communications

Tipo de participación: Comunicación

Congreso: Applied Electronics 2009 (AE09)
Publicación: Proceedings of AE09, pág. 37-42. ISBN: 978-80-7043-781-0; IEEE Catalog Number CFP0969A-PRT
Lugar de Celebración: Pilsen (Chequia) Fecha: 9-10 de septiembre de 2009

Autores: J. Lázaro, A. Astarloa, U. Bidarte, A. Zuloaga, J. Jiménez.
Título: CRYx-BCU: A security oriented cost-conscious SoPC implementation for Bus Coupling Units of the European Installation Bus
Tipo de participación: Comunicación
Congreso: Applied Electronics 2009 (AE09)
Publicación: Proceedings of AE09, pág. 173-176. ISBN: 978-80-7043-781-0; IEEE Catalog Number CFP0969A-PRT
Lugar de Celebración: Pilsen (Chequia) Fecha: 9-10 de septiembre de 2009

Autores: Á. Llaría, O. Curea, J. Jiménez, H. Camblong.
Título: Survey on Microgrids: analysis of technical limitations to carry out new solutions.
Tipo de participación: Póster.
Congreso: 13th European Conference on Power Electronics and Applications (EPE 2009).
Publicación: Proceedings of the EPE 2009, págs. 1-6. ISBN 9789075815009
Lugar de Celebración: Barcelona (España) Fecha: 8 al 10 de Septiembre de 2009.

Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga y J. Jiménez
Título: DNAX-BCU: An un-clonable cost-conscious SoPC implementation for Bus Coupling Units of the European Installation Bus
Tipo de participación: Comunicación
Congreso: 2009 The Second International Workshop on Specialized Ad Hoc Networks and Systems (29th IEEE International Conference on Distributed Computing Systems Workshops)
Publicación: Proceedings of ICDCSW09, pág. 472-475. ISBN: 1545-0678/09
Lugar de Celebración: Montreal (Canada) Fecha: 22-26 de junio de 2009

Autores: Á. Llaría, O. Curea, J. Jiménez.
Título: Microgrids: a Survey on Technology and Operation.
Tipo de participación: Comunicación
Congreso: 2009 Power Electronics Intelligent Motion Power Quality (PCIM'09).
Publicación: PCIM proceedings 2009, págs. 101-106. ISBN 978-3-8007-3158-9.
Lugar de Celebración: Nuremberg (Alemania) Fecha: 12 – 15 de mayo de 2009

Autores: J. Lázaro, A. Astarloa, U. Bidarte, J. Jiménez, A. Zuloaga
Título: AES-Galois Counter Mode encryption/decryption FPGA Core for Industrial and Residential Gigabit Ethernet Communications
Tipo de participación: Comunicación
Congreso: 5th International Workshop on Applied Reconfigurable Computing
Publicación: Proceedings of ARC2009, págs. 312-317. ISBN 978-3-642-00640-1
Lugar de celebración: Karlsruhe (Alemania) Fecha: 16 – 18 de marzo 2009

Autores: X. Iturbe, A. Zuloaga, J. Jiménez, J. Lázaro.
Título: FPGA based Specific-Processor Design for MVB Protocol Test Frames Generator.
Tipo de participación: Comunicación
Congreso: XXIII Design of Circuits and Integrated Systems Conference (DCIS'08).
Publicación: Proceedings of DCIS'08. ISBN: 978-2-84813-124-5.
Lugar de Celebración: Grenoble (Francia) Fecha: 12 – 14 de noviembre de 2008

Autores: M. Sierra, J. Jiménez, U. Bidarte, J.I. Gárate, A. Zuloaga
Título: Review of basic guidelines when designing mixed PCBs for SI and EMI
Tipo de participación: Comunicación
Congreso: The 34th Annual Conference of the IEEE Industrial Electronics Society (IECON'08).
Publicación: Proceedings of the IECON'08, págs. 338-342. ISBN: 978-1-4244-1766-7
Lugar de Celebración: Orlando (EE.UU.) Fecha: 10 – 13 de noviembre de 2008

Autores: X. Iturbe, A. Zuloaga, J. Jiménez, J. Lázaro, J.L. Martín
Título: A novel SoC architecture for a MVB slave node
Tipo de participación: Comunicación
Congreso: The 34th Annual Conference of the IEEE Industrial Electronics Society (IECON'08).
Publicación: Proceedings of the IECON'08, págs. 1455-1460. ISBN: 978-1-4244-1766-7
Lugar de Celebración: Orlando (EE.UU.) Fecha: 10 – 13 de noviembre de 2008

Autores: A. Astarloa, U. Bidarte, J. Jiménez, J. Lázaro y Iñigo Martinez de Alegria.
Título: Secure Ethernet Point-to-Point Links for Autonomous Electronic Ballot Boxes.
Tipo de participación: Comunicación
Congreso: 5th International Conference on Autonomic and Trusted Computing (ATC'08)
Publicación: Proceedings of ATC'08, págs. 603-614. ISBN 978-3-540-69294-2.
Lugar de Celebración: Oslo (Noruega) Fecha: 23 – 25 de junio de 2008

Autores: M. T. Sierra, J. Jiménez, E. Andino, J. I. Garate, J. L. Martín
Título: Review of Concepts Involved in Mixed PCBs Design for Electronic Devices
Tipo de participación: Comunicación
Congreso: IEEE International Conference on Advances in Electronics and Microelectronics (ENICS'08)
Publicación: Proceedings of the ENICS'08, págs 102-107. ISBN 978-0-7695-3370-4.
Lugar de Celebración: Valencia (España) Fecha: 29 de septiembre - 4 de octubre de 2008

Autores: Á. Llaría, H. Camblong, O. Curea, J. Jiménez.
Título: Physical Workbench for Technical Training in Discrete Time Control.
Tipo de participación: Póster
Congreso: The 17th Triennial Event of International Federation of Automatic Control (IFAC).
Publicación: IFAC proceedings 2008, págs. 9749-9754. ISBN 978-1-1234-7890-2.
Lugar de Celebración: Seúl (Corea) Fecha: 6 – 11 de julio de 2008

Autores: J. Jiménez, J. K. Espinosa, C. Cuadrado, A. Astarloa
Título: Aplicación telemática para organizar grupos de prácticas en asignaturas masivas
Tipo de participación: Comunicación
Congreso: VIII Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAAE'08
Publicación: Actas de TAAE'08, pág. 82. ISBN 978-84-7733-628-0
Lugar de Celebración: Zaragoza Fecha: 2-4 de julio de 2008

Autores: J. Jiménez, E. Mandado
Título: Los anglicismos en la jerga electrónica
Tipo de participación: Comunicación
Congreso: VIII Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAAE'08
Publicación: Actas de TAAE'08, pág. 155 ISBN 978-84-7733-628-0
Lugar de Celebración: Zaragoza Fecha: 2-4 de julio de 2008

Autores: Álvaro Llaría, Octavian Curea, Jaime Jiménez, Unai Bidarte.
Título: Review of methods for a Hybrid Energy System islanding efficient management.
Tipo de participación: Comunicación
Congreso: International Conference on Renewable Energies and Power Quality (ICREPQ'08)
Publicación: Proceedings of the ICREPQ'08, paper 342. ISBN 978-84-611-9290-8.
Lugar de Celebración: Santander (España) Fecha: 12-14 de marzo de 2008

Autores: Álvaro Llaría, Octavian Curea, Jaime Jiménez.
Título: Influence of the Rail-to-Rail Feature of the Operational Amplifier on the Performance of an Instrumentation System.
Tipo de participación: Comunicación
Congreso: 6th WSEAS International Conference on Computational Intelligence, Man-Machine Systems and Cybernetics (CIMMACS'07).
Publicación: Proceedings of the CIMMACS'07, págs. 210-214. ISBN 978-960-6766-21-3.
Lugar de Celebración: Tenerife (España) Fecha: 14-16 de diciembre de 2007

Autores: David Fernández, Jaime Jiménez, Jon Andreu, Carlos Cuadrado, Iñigo Kortabarria

Título: A TCN Gateway Emulator

Tipo de participación: Comunicación

Congreso: 2007 IEEE International Symposium on Industrial Electronics (ISIE'07)

Publicación: ISIE proceedings 2007, págs. 2911-2916 ISBN 1-4244-0755-9.

Lugar de Celebración: Vigo (España) Fecha: 4-7 de junio de 2007

Autores: Jaime Jiménez, Jagoba Arias, Jon Andreu, Carlos Cuadrado, Iñigo Kortabarria

Título: Design Methodology for Multifunction Vehicle Bus Devices

Tipo de participación: Comunicación

Congreso: 5th WSEAS International Conference on System Science and Simulation in Engineering (ICOSSE'06)

Publicación: Proceedings of the ICOSSE'06, págs. 352-357 ISBN 960-8457-57-2.

Lugar de celebración: Tenerife (España) Fecha: 16-18 de diciembre de 2006

Autores: Jon Andreu, Unai Bidarte, José Luis Martín, Armando Astarloa, Jaime Jiménez.

Título: FPGA Implementation and System-Level Validation of Matrix Converter Space Vector Modulation Algorithm

Tipo de participación: Comunicación

Congreso: The 6th WSEAS/IASME International Conference on Electric Power Systems, High Voltages, Electric Machines (POWER'06).

Publicación: Proceedings of the POWER'06, págs. 349-355 ISBN 960-8457-57-2.

Lugar de Celebración: Tenerife (España) Fecha: 16-18 de diciembre de 2006

Autores: J. Jiménez, I. Hoyos, C. Cuadrado, J. Andreu, A. Zuloaga

Título: Simulation of Message Data in a Testbench for the Multifunction Vehicle Bus

Tipo de participación: Comunicación

Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)

Publicación: Proceedings of the IECON'06, págs. 4666-4671. ISBN 1-4244-0136-4.

Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

Autores: H. Unzueta, J. Jiménez, J. L. Martín, J. Andreu, C. Cuadrado

Título: An emulator to develop the Wire Train Bus protocol stack

Tipo de participación: Comunicación

Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)

Publicación: Proceedings of the IECON'06, págs. 3721-3726. ISBN 1-4244-0136-4.

Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

Autores: C. Cuadrado, A. Zuloaga, J.L. Martín, J. Lázaro, J. Jiménez

Título: Real-Time Stereo Vision Processing System in a FPGA

Tipo de participación: Comunicación

Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)

Publicación: Proceedings of the IECON'06, págs. 3455-3460. ISBN 1-4244-0136-4.

Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

Autores: A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez, J. Arias

Título: Run-Time Reconfigurable Hardware-Software Architecture for PID Motor Control IP Cores

Tipo de participación: Comunicación

Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)

Publicación: Proceedings of the IECON'06, págs. 3105-3110. ISBN 1-4244-0136-4.

Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

Autores: J. Arias, J. Lázaro, A. Astarloa, J. Jiménez, U. Bidarte

Título: Architecture of a Real-Time Wavelet Transform Calculation SoPC Core for Industrial Applications

Tipo de participación: Comunicación

Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)

Publicación: Proceedings of the IECON'06, págs. 2944-2949. ISBN 1-4244-0136-4.

Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

Autores: Jaime Jiménez, Iker Hoyos, Jagoba Arias, Armando Astarloa, José L. Martín
Título: Modifying Slots in Test Vectors to Validate Decoder of a Train Network
Tipo de participación: Comunicación
Congreso: International Conference on Wireless and Mobile Communications (ICWMC)
Publicación: Proceedings of the ICWMC'06 ISBN 0-7695-2629-2
Lugar de celebración: Bucarest (Rumanía) Fecha: 29-31 de julio de 2006

Autores: J. Arias, E. Santos, I. Marín, J. Jiménez, J. Lázaro, A. Zuloaga
Título: Node Synchronization in Wireless Sensor Networks
Tipo de participación: Comunicación
Congreso: International Conference on Wireless and Mobile Communications (ICWMC)
Publicación: Proceedings of the ICWMC'06 ISBN 0-7695-2629-2
Lugar de celebración: Bucarest (Rumanía) Fecha: 29-31 de julio de 2006

Autores: J. Jiménez, A. Astarloa, C. Cuadrado, K. Bañuelos
Título: Primeros pasos para adaptar la asignatura de Electrónica Industrial al E.E.E.S.
Tipo de participación: Comunicación
Congreso: VII Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAAE'06
Publicación: Actas de TAAE'06, págs. 345-346. ISBN 84-689-9590-8
Lugar de Celebración: Madrid Fecha: 12-14 de julio de 2006

Autores: J. Jiménez, C. Cuadrado, A. Astarloa, E. Zabala
Título: ¿Electrónica Industrial en 45 horas?
Tipo de participación: Comunicación
Congreso: VII Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAAE'06
Publicación: Actas de TAAE'06, págs. 227-228. ISBN 84-689-9590-8
Lugar de Celebración: Madrid Fecha: 12-14 de julio de 2006

Autores: J. K. Espinosa, J. Jiménez, M. A. Olabe, X. Basogain
Título: Innovación docente para el desarrollo de competencias en el EEES
Tipo de participación: Comunicación
Congreso: VII Congreso Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAAE'06
Publicación: Actas de TAAE'06, págs. 147-148. ISBN 84-689-9590-8
Lugar de Celebración: Madrid Fecha: 12-14 de julio de 2006

Autores: Jaime Jiménez, José L. Martín, Jagoba Arias, Unai Bidarte, Armando Astarloa
Título: TCN (Train Communication Network) Gateway for Simulation
Tipo de participación: Comunicación
Congreso: 4th WSEAS International Conference on electronics, hardware, wireless & optical communications
Publicación: WSEAS Transactions ISBN 960-8457-092
Lugar de celebración: Salzburgo (Austria) Fecha: 13-15 de febrero de 2005

Autores: Carlos Cuadrado, Aitzol Zuloaga, José L. Martín, Jesús Lázaro, Jaime Jiménez
Título: VHDL Description of a Synthesizable and Reconfigurable Real-Time Stereo Vision Processor
Tipo de participación: Comunicación
Congreso: 4th WSEAS International Conference on signal processing, robotics and automation
Publicación: WSEAS Transactions ISBN 960-8457-092
Lugar de celebración: Salzburgo (Austria) Fecha: 13-15 de febrero de 2005

Autores: Jagoba Arias, Jesús Lázaro, Jaime Jiménez, Aitzol Zuloaga, Armando Astarloa
Título: Simulation Environment for Distance based Location Algorithms in Wireless Sensor Networks
Tipo de participación: Comunicación
Congreso: 4th WSEAS International Conference on electronics, hardware, wireless & optical communications
Publicación: WSEAS Transactions ISBN 960-8457-092
Lugar de celebración: Salzburgo (Austria) Fecha: 13-15 de febrero de 2005

Autores: J. Jiménez, J. L. Martín, A. Astarloa, A. Zuloaga

Título: Manchester decoding algorithm for Multifunction Vehicle Bus
Tipo de participación: Comunicación
Congreso: 2004 IEEE International Conference on Industrial Technology (ICIT'04)
Publicación: Proceedings of the ICIT'04. ISBN 0-7803-8663-9
Lugar de Celebración: Hammamet (Túnez) Fecha: 8 al 10 de Diciembre de 2004

Autores: Jagoba Arias, Jesús Lázaro, Armando Astarloa, Jaime Jiménez, Aitzol Zuloaga
Título: Location Algorithm for Wireless Sensor Networks in Industrial Applications
Tipo de participación: Comunicación
Congreso: IEEE International Conference on Industrial Technology (ICIT)
Publicación: Proceedings of the ICIT'04. ISBN 0-7803-8663-9
Lugar de Celebración: Hammamet, Túnez Fecha: 8 al 10 de diciembre de 2004

Autores: Armando Astarloa, Unai Bidarte, Aitzol Zuloaga, Jagoba Arias, Jaime Jiménez
Título: Run-time Reconfigurable Hybrid Multiprocessor Cores
Tipo de participación: Comunicación
Congreso: IEEE International Conference on Industrial Technology (ICIT)
Publicación: Proceedings of the ICIT'04. ISBN 0-7803-8663-9
Lugar de Celebración: Hammamet, Túnez Fecha: 8 al 10 de diciembre de 2004

Autores: Jesús Lázaro, Jagoba Arias, José L. Martín, Iñigo Martínez de Alegría, Jon Andreu, Jaime Jiménez
Título: An Implementation of a General Regresión Neural Network on FPGA with direct Matlab Link
Tipo de participación: Comunicación
Congreso: IEEE International Conference on Industrial Technology (ICIT)
Publicación: Proceedings of the ICIT'04. ISBN 0-7803-8663-9
Lugar de Celebración: Hammamet, Túnez Fecha: 8 al 10 de diciembre de 2004

Autores: U. Bidarte, A. Astarloa, J. L. Martín, J. Jiménez, C. Cuadrado
Título: On the Performance of Three-State and Multiplexor Logic Interconnection for Shared Bus SoC Design
Tipo de participación: Comunicación
Congreso: XIX Design of Circuits and Integrated Systems Conference (DCIS'04)
Publicación: Proceedings of the DCIS'04, págs. 399-404. ISBN 2-9522971-0-X.
Lugar de Celebración: Burdeos (Francia) Fecha: 24 al 26 de Noviembre de 2004

Autores: J. Arias, J. Lázaro, A. Zuloaga, J. Jiménez
Título: Doppler Location Algorithm for Wireless Sensor Networks
Tipo de participación: Comunicación
Congreso: ICWN'04 International Conference on Wireless Networks
Publicación: Proceedings of the ICWN'04, pág. 509 - 514. ISBN 1-932415-39-4
Lugar de Celebración: Las Vegas (EE.UU.) Fecha: 21 al 24 de junio de 2004

Autores: J. Jiménez, J. L. Martín, C. Cuadrado, J. Arias, J. Lázaro
Título: A Top-down Design for the Train Communication Network
Tipo de participación: Comunicación
Congreso: ICIT'03 International Conference on Industrial Technology
Publicación: Proceedings of the ICIT'03, pág. 1.000 -1.005. ISBN 0-7803-7852-0
Lugar de Celebración: Maribor (Eslovenia) Fecha: 10 al 12 de diciembre de 2003

Autores: U. Bidarte, A. Astarloa, A. Zuloaga, J. Jiménez, I. Mtz. De Alegría
Título: Core-Based Reusable Architecture for Slave Circuits with Extensive Data Exchange Requeriments
Tipo de participación: Comunicación
Congreso: 13th International Conference on Field-Programmable Logic and Applications (FPL2003).
Publicación: Proceedings of the 13th International Conference FPL2003, pág. 497-506. ISBN 3-540-40822-3
Lugar de Celebración: Lisboa (Portugal) Fecha: 1-3 de septiembre de 2003

Autores: J. Jiménez, E. Fernández, J. L. Martín, U. Bidarte, A. Zuloaga
Título: Simulation enviroment to verify industrial communication circuits

Tipo de participación: Comunicación

Congreso: 28th International Conference on Industrial Electronics, Control and Instrumentation (IECON-2002)

Publicación: Proceedings of the IECON-2002 (CD), 6 páginas. ISBN 0-7803-7475-4

Lugar de Celebración: Sevilla (España)

Fecha: 5 al 8 de noviembre de 2002

Autores: J. Arias, J. Jiménez, G. Aranguren, J. Lázaro, J. L. Martín

Título: Test Workbench for Electronic Telecommunication Systems

Tipo de participación: Comunicación

Congreso: 28th International Conference on Industrial Electronics, Control and Instrumentation (IECON-2002)

Publicación: Proceedings of the IECON-2002 (CD), 6 páginas. ISBN 0-7803-7475-4

Lugar de Celebración: Sevilla (España)

Fecha: 5 al 8 de noviembre de 2002

Autores: J. L. Martín, G. Aranguren, J. Jiménez

Título: Design of a trigonometric coprocessor with VHDL based on delay-insensitive logic

Tipo de participación: Comunicación

Congreso: XVI Design of Circuits and Integrated Systems Conference (DCIS'01)

Publicación: Proceedings of the DCIS'01, págs. 298-303

Lugar de Celebración: Oporto (Portugal)

Fecha: 20 al 23 de noviembre de 2001

Autores: J. L. Martín, J. Jiménez, G. Aranguren

Título: VHDL model of a 16/32-bit ALU based on asynchronous logic

Tipo de participación: Comunicación

Congreso: XVI Design of Circuits and Integrated Systems Conference (DCIS'01)

Publicación: Proceedings of the DCIS'01, págs. 44-49

Lugar de Celebración: Oporto (Portugal)

Fecha: 20 al 23 de noviembre de 2001

Autores: A. Chavarría, J. López de Arroyabe, A. Zuloaga, J. Jiménez, J. L. Martín, G. Aranguren

Título: Slave node architecture for train communications networks

Tipo de participación: Comunicación

Congreso: 26th International Conference on Industrial Electronics, Control and Instrumentation, IECON 2000

Publicación: Proceedings of the IECON 2000, págs. 2431-2436. ISBN 0-7803-6459-7

Lugar de celebración: Nagoya (Japón)

Fecha: 22 al 28 de octubre de 2000

Autores: J. Jiménez, G. Aranguren

Título: Microcontroladores PIC en el laboratorio de Sistemas digitales

Tipo de participación: Demostrador

Congreso: IV Congreso sobre Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAEE'00

Publicación: Actas de TAEE'00, págs. 487-490. ISBN 84-600-9596-7

Lugar de Celebración: Barcelona

Fecha: 13 al 15 de septiembre de 2000

Autores: J. L. Martín, J. Ezquerro, J. Jiménez

Título: La práctica libre en la enseñanza de la electrónica digital: Una aproximación a la realidad

Tipo de participación: Comunicación

Congreso: IV Congreso sobre Tecnologías Aplicadas a la Enseñanza de la Electrónica, TAEE'00

Publicación: Actas de TAEE'00, págs. 51-54. ISBN 84-600-9596-7

Lugar de Celebración: Barcelona

Fecha: 13 al 15 de septiembre de 2000

PUBLICACIONES DE TRABAJOS PRESENTADOS A CONGRESOS NACIONALES (ACTAS)

Autores: A. Madariaga, J. Jiménez, J. L. Martín, U. Bidarte, A. Zuloaga
Título: Revisión de herramientas de diseño electrónico para la síntesis de alto nivel
Congreso: X Jornadas de Computación Reconfigurable y Aplicaciones (JCRA2010)
Tipo de participación: Comunicación
Publicación: Actas de JCRA2010, págs. 233-240. ISBN 978-84-92812-56-1
Lugar de Celebración: Valencia (España) Fecha: 7 al 10 de Septiembre de 2010

Autores: A. Astarloa, C. Regueiro, J. Lázaro, U. Bidarte, J. Jiménez
Título: Plataforma PCI Express para la Evaluación y el Desarrollo de Sistemas Redundantes y Auto-Reparables
Tipo de participación: Ponencia
Congreso: XVII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI10)
Publicación: Actas de SAAEI10. ISBN: 978-84-95809-75-9.
Lugar de Celebración: Bilbao (España) Fecha: 7 al 9 de Julio de 2010

Autores: J. L. Martín, A. Zuloaga, A. Astarloa, J. Jiménez, J. Lázaro, J. Andreu, J. A. Araujo
Título: Metodología de enseñanza-aprendizaje de Sistemas Electrónicos Digitales basada en proyectos
Tipo de participación: Comunicación
Congreso: XVII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI10)
Publicación: Actas de SAAEI'10, págs. 210-215. ISBN 978-84-95809-75-9
Lugar de Celebración: Bilbao (España) Fecha: 7 al 9 de Julio de 2010

Autores: A. Astarloa, J. Lázaro, J. Jiménez, J. Arias y A. Zuloaga
Título: Aplicación de Plataformas Reconfigurables en Sistemas de Control de Luminosidad basados en Algoritmos Genéticos
Tipo de participación: Ponencia
Congreso: II Simposio de Inteligencia Computacional (SICO07)
Publicación: Actas de SICO07, págs. 327-335. ISBN: 84-611-1315-2.
Lugar de Celebración: Zaragoza Fecha: 11-14 de septiembre de 2007

Autores: J. Lázaro, A. Astarloa, J. Arias, U. Bidarte y J. Jiménez
Título: Implementación Modular de un Coprocesador de Redes Neuronales de Regresión General
Tipo de participación: Ponencia
Congreso: II Simposio de Inteligencia Computacional (SICO07)
Publicación: Actas de SICO07, págs. 97-102. ISBN: 84-611-1315-2.
Lugar de Celebración: Zaragoza Fecha: 11-14 de septiembre de 2007

Autores: E. Olaguenaga, A. Astarloa, U. Bidarte, J. Jiménez, J. L. Martín
Título: Aplicación de los dispositivos reconfigurables en el cifrado y autenticación de datos a alta velocidad
Tipo de participación: Comunicación
Congreso: VII Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'07)
Publicación: Actas de JCRA'07, págs. 137-144. ISBN: 978-84-9732-600-1.
Lugar de Celebración: Zaragoza (España) Fecha: 12 al 14 de Septiembre de 2007

Autores: A. Zuloaga, X. Iturbe, J. Jiménez, J. Lázaro, J. L. Martín
Título: Diseño System-on-Chip de la capa de enlace alta para nodos esclavos de bus MVB
Tipo de participación: Comunicación (Mención al mejor trabajo de aplicación)
Congreso: VI Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA'2006)
Publicación: FPGAs: Metodologías, Herramientas y Experiencias, pág. 22-27. ISBN 84-611-1314-4
Lugar de celebración: Cáceres Fecha: 12-14 de septiembre de 2006

Autores: M. Garay, A. Astarloa, J. Lázaro, A. Zuloaga, J. Jiménez
Título: TAC: Controlador de auto-reconfiguración embebido para sistemas SoPC
Tipo de participación: Comunicación
Congreso: VI Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA'2006)

Publicación: FPGAs: Metodologías, Herramientas y Experiencias, pág. 16-21.

ISBN 84-611-1314-4

Lugar de celebración: Cáceres

Fecha: 12-14 de septiembre de 2006

Autores: Armando Astarloa, Unai Bidarte, Jaime Jiménez, Jagoba Arias, Íñigo Kortabarria

Título: Bus-Macro compatible Wishbone para reconfiguración parcial Inter-Task

Tipo de participación: Comunicación

Congreso: V Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'2005)

Publicación: Actas de JCRA'2005, pág. 17-23. ISBN 84-9732-439-0

Lugar de celebración: Granada

Fecha: 13-16 de septiembre de 2005

Autores: J. Arias, J. Jiménez y J. L. Martín

Título: Banco de pruebas para sistemas electrónicos de comunicaciones

Tipo de participación: Comunicación

Congreso: XVI Symposium Nacional de la Unión Científica Internacional de Radio (URSI'01)

Publicación: Actas de URSI'01, pág. 281-282

Lugar de Celebración: Madrid

Fecha: 19 al 21 de septiembre de 2001.

Autores: J. Jiménez y J. L. Martín

Título: Sistema portátil de control y seguimiento de la compra en supermercados

Tipo de participación: Comunicación

Congreso: XV Symposium Nacional de la Unión Científica Internacional de Radio (URSI'00)

Publicación: Actas de URSI'00, pág. 535-536. ISBN 84-600-9597-5

Lugar de Celebración: Zaragoza

Fecha: 13 al 15 de septiembre de 2000

Tesis Doctorales dirigidas

Título: Metodología para el Desarrollo de Actuadores y Sensores Electrónicos y su Integración en Componentes Mecánicos para Sistemas de Automoción Fiables

Doctorando: Jose Ángel Gumiel Quintana

Universidad: Universidad del País Vasco (UPV/EHU)

Facultad / Escuela: Escuela de Ingeniería de Bilbao

Fecha: 27 de noviembre de 2024

Calificación: Sobresaliente por unanimidad

Título: Verificación físico-funcional de sistemas en tiempo real

Doctorando: Joaquín Pérez Márquez

Universidad: Universidad del País Vasco (UPV/EHU)

Facultad / Escuela: E. T. S. I. de Bilbao

Fecha: 18 de marzo de 2015

Calificación: Sobresaliente cum laude

Título: Paso a aislamiento de microrredes: estudio de la detección y propuesta de una arquitectura de control basada en comunicaciones inalámbricas

Doctorando: Álvaro Llaría Leal

Universidad: Universidad del País Vasco (UPV/EHU)

Facultad / Escuela: E. T. S. I. de Bilbao

Fecha: 14 de septiembre de 2012

Calificación: Apto cum laude (Tesis Internacional)

Experiencia en organización de actividades de I+D

Organización de congresos, seminarios, jornadas, etc., científicos-tecnológicos

Título: DCIS'2019

Tipo de actividad: comisario (organizador)

Ámbito: Internacional

Fecha: Noviembre 2019

Título: The 42nd Annual Conference of the IEEE Industrial Electronics Society (IECON 2016)

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2016

Título: Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)

Tipo de actividad: Revisor

Ámbito: Nacional

Fecha: 2016

Título: XII Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAAE 2016)

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2016

Título: Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)

Tipo de actividad: Revisor

Ámbito: Nacional

Fecha: 2014

Título: Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)

Tipo de actividad: Miembro del Comité Organizador y moderador de sesión

Ámbito: Nacional

Fecha: 2010

Título: IEEE International Conference on Industrial Technology – ICIT 2010

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2010

Título: IEEE International Symposium on Industrial Electronics - ISIE 2009

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2009

Título: IEEE International Conference on Industrial Technology – ICIT 2009

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2009

Título: Jornadas de Investigación en Telecomunicaciones (Semana de la Ciencia y la Tecnología)

Tipo de actividad: Organizador

Ámbito: Nacional

Fecha: 2005, 2006

Título: The 33rd Annual Conference of the IEEE Industrial Electronics Society – IECON'07

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2007

Título: IEEE International Symposium on Industrial Electronics - ISIE 2007

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2007

Título: The 32nd Annual Conference of the IEEE Industrial Electronics Society – IECON'06

Tipo de actividad: Revisor

Ámbito: Internacional

Fecha: 2006

Título: IEEE International Symposium on Industrial Electronics - ISIE 2006 Tipo de actividad: Revisor Fecha: 2006	Ámbito: Internacional
Título: 2006 International Power Electronics and Motion Control Conference – EPE-PEMC 2006 Tipo de actividad: Revisor Fecha: 2006	Ámbito: Internacional
Título: IEEE International Conference on Communications - ICC 2006 Tipo de actividad: Revisor Fecha: 2006	Ámbito: Internacional
Título: IEEE International Symposium on Industrial Electronics - ISIE 2005 Tipo de actividad: Revisor Fecha: 2005	Ámbito: Internacional
Título: IEEE International Conference on Industrial Technology - ICIT'04 Tipo de actividad: Revisor Fecha: 2004	Ámbito: Internacional
Título: XIX Conference of Design of Circuits and Integrated Systems - DCIS'04 Tipo de actividad: Revisor Fecha: 2004	Ámbito: Internacional
Título: Curso Convertidores Multinivel (1ª parte) Tipo de actividad: Organizador Fecha: 2003	Ámbito: Nacional
Título: Seminario: De las especificaciones al silicio, Diseño con herramientas gráficas y lenguajes HDL. Insight-Xilinx. Tipo de actividad: Organizador Fecha: 2003	Ámbito: Nacional
Título: Seminario FPGAs Xilinx. Insight-Xilinx. Tipo de actividad: Organizador Fecha: Diciembre 2002	Ámbito: Nacional

Experiencia de gestión de I+D

Gestión de programas, planes y acciones de I+D

Título: Certificación de proyectos de I+D+i (Ategrus Certificación, S.L.)

Tipo de actividad: Experto técnico

Fecha: 2014

Título: Certificación de proyectos de I+D+i (Ceintech, S.L.)

Tipo de actividad: Experto técnico

Fecha: 2014

Título: Certificación de proyectos de I+D+i (Ziurtek Certificación, S.L.)

Tipo de actividad: Experto técnico

Fecha: 2010

Otros méritos o aclaraciones que se desee hacer constar
(utilice únicamente el espacio equivalente a una página).

Tres sexenios de investigación y cinco quinquenios docentes reconocidos. Reconocimiento del nivel A1 con 100 puntos (sobre 100) por Unibasq (Agencia de Calidad del Sistema Universitario Vasco). 97,35 puntos (sobre 100) en el programa DOCENTIAZ de evaluación de la actividad docente del profesorado de la UPV/EHU.

Revisor de las revistas científicas "Micro & Nano Letters" (IET), "Transactions on Emerging Telecommunications Technologies", "Journal of Circuits, Systems, and Computers", "Transactions on Industrial Informatics" (IEEE), "Transactions on Industrial Electronics" (IEEE), "Enseñanza de las ciencias", "Microprocessors and Microsystems" (Elsevier), "Engineering Science and Technology, an International Journal" (Elsevier), "International Journal of Electrical Power and Energy Systems", "Journal of Engineering and Computer Innovations", "International Research Journal of Computer Science and Information Systems", "Sensors", "Journal of Low Power Electronics and Applications", "Electronics", "Information", "Micromachines".

2021-2025 Subdirector de infraestructuras y equipamiento de la Escuela de Ingeniería de Bilbao.

Sep. 2011-Jun. 2020 Director del dpto. de Electrónica y telecomunicaciones / Tecnología electrónica.

2010 Promotor de la empresa de base tecnológica derivada de la universidad "System-On-Chip Engineering".

Infraestructuras de investigación concedidas por la UPV/EHU en 2006, 2007, 2008, 2010, 2011, 2020, 2022 y 2024.

Ayudas a grupos consolidados para trabajos fin de titulación en 2023 y 2024.

2016-2024 Miembro temporal de la Comisión Universitaria de Evaluación Docente de la UPV/EHU.

2012 Miembro de la comisión que diseñó el plan de estudios del Máster en ingeniería de telecomunicación de la UPV/EHU.

2010-2017 Coordinador del grado en ingeniería en tecnología de telecomunicación.

Proyectos de innovación educativa: "Nueva metodología de enseñanza-aprendizaje de Sistemas electrónicos digitales basada en proyectos" (2009). "Experiencias prácticas en la iniciativa Fórmula Dron, a fin de motivar al alumnado hacia las asignaturas de Economía y Estadística del 1er curso del Grado en ingeniería en tecnología de telecomunicación" (2018).

Curso 2008-09 Responsable del Máster universitario en sistemas electrónicos avanzados

2008, 2009 y 2010 Subvenciones de 5.208, 5.755 y 2.960 eu para el anterior máster.

2004-08 Responsable del programa de doctorado "Comunicaciones, electrónica y control".

Ene. 2008 Subvención de 3.906 eu para el anterior programa de doctorado.

Tutor proyectos Aula Iberdrola (03/04) y Aula de Energías Renovables (08/09)

Docencia. Ingeniería de Telecomunicación: "Laboratorio de Electrónica y Componentes", "Laboratorio de electrónica básica I", "Laboratorio de Electrónica Digital", "Laboratorio de Sistemas Digitales", "Circuitos integrados", "Impacto social de las tecnologías de la información y la comunicación", "Sistemas digitales" y "Microelectrónica". Ingeniería Industrial: "Electrónica Industrial" y "Electrónica General". Ingeniería de minas: "Instrumentación". Doctorado en comunicaciones, electrónica y control: "Metodologías de diseño para circuitos digitales complejos". Máster en sistemas electrónicos avanzados: "Arquitecturas de FPGAs Avanzadas y VHDL Sintetizable".

19 seminarios o cursillos técnicos sobre Electrónica.

32 seminarios o cursillos de perfeccionamiento docente.

20 cursillos de perfeccionamiento lingüístico. Servicio de Euskara de la Universidad del País Vasco.

5 cursillos de formación en Calidad.

Miembro del Consejo y de la Comisión Permanente de Departamento, de la Junta de centro y del Claustro de la universidad.

2014- 2024. Organizar un expositor en la Semana de la ciencia, la tecnología y la innovación (UPV/EHU).

2018, 2019. Participar en la "Zientzia azoka" (Feria divulgadora de la Ciencia).

2007, 2008, 2012-2024 Colaborador en las "Jornadas de puertas abiertas", "Actividades de orientación universitaria" o "Jornadas de presentación de las ingenierías". Vicerrectorado de alumnado.

Sep. 2007 Premio extraordinario de doctorado de la U.P.V./E.H.U.

Curso 2004-05 Programa de innovación educativa "Seguimiento para la introducción del Crédito Europeo (SICRE)". Servicio de Asesoramiento Educativo, U.P.V. (60 h).

2006, 2010, 2012, 2014, 2015, 2018 Evaluador de los Premios a la mejor tesis doctoral y al mejor proyecto fin de carrera (XXVI, XXX, XXXII, XXXIV, XXXV y XXXVIII convocatorias) del Colegio oficial de ingenieros de telecomunicación.

Curso 2004-05 Programa de innovación educativa "Asesoramiento para la introducción del Crédito Europeo (AICRE)". Servicio de Asesoramiento Educativo, U.P.V. (60 h).

Jul. 2002 Curso Xilinx-ISE-VHDL impartido por la Universidad Autónoma de Madrid (24 h).

Feb. 2002 Elaboración del "Informe sobre la docencia en la sección departamental de la Escuela Técnica Superior de Ingeniería de Bilbao", instado y valorado positivamente por la Dirección del Departamento.

Jul. 2001 Curso de "Diseño de sistemas embebidos HW/SW" impartido por la Universidad de Cantabria (30 h).

Jul. 2000 Título E.G.A. (certificado C1 en euskera). 2018: C1 en inglés.