

Parte A. DATOS PERSONALES

Fecha del CVA	01/03/2023
---------------	------------

Nombre y apellidos	MANUEL JESUS BELLIDO DIAZ
--------------------	---------------------------

A.1. Situación profesional actual

Organismo	Universidad de Sevilla		
Dpto./Centro	Tecnología Electrónica		
Dirección	Sevilla, Andalucía, España		
	Correo electrónico	bellido@dte.us.es	
Categoría profesional	Catedrático de universidad	Fecha inicio	2009

A.2. Formación académica (título, institución, fecha)

Doctorado	Universidad	Año
Doctor	Universidad de Sevilla	1994

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

Indicador	Medida
Sexenios de investigación	5.0
Tesis dirigidas en los últimos 10 años	3.0
Fecha del último sexenio	31/12/2018

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Docencia: Experiencia desde 1988, impartiendo clases ininterrumpidamente en las titulaciones de Informática. Ha participado en los siguientes Programas de Doctorado: "Informática" (1997-1999), "Informática Industrial" (1997-2013) todos ellos de la U. Sevilla, e "Ingeniería Electrónica, de Sistemas y Automática" de la U. Cádiz (1998-2000).

Investigación: Su campo de investigación son, según códigos UNESCO, el 3307-03 (Diseño de circuitos) y el 3307-93 (Microelectrónica. Diseño), concretamente en las líneas de diseño digital VLSI y con FPGAs, temporización, bajo consumo y modelado y simulación lógico-temporal. Responsable del Grupo de investigación Investigación y Desarrollo Digital (TIC 204 según catálogo de la J.A.). Ha dirigido 4 Tesis Doctorales, dirigiendo actualmente otras 4 Tesis. Ha participado en torno a 30 proyectos de investigación subvencionados y con empresas. Gestión y dirección: Director de Departamento desde 2009 hasta 2013. Ha dirigido 8 proyectos de investigación financiados. Dirige o participa en múltiples comisiones a nivel de Departamento, de ETS ingeniería Informática o de Universidad de Sevilla.

Méritos académicos: 6 quinquenios (méritos docentes reconocidos), 5 sexenios (méritos investigadores reconocidos) y 5 tramos (el máximo) en los Complementos Autonómicos de la Junta de Andalucía.

Parte C. MÉRITOS MÁS RELEVANTES (ordenados por tipología)

C.1. Publicaciones

Publicación en Revista. Cano, Germán; Ruiz De Clavijo-Vazquez, Paulino; Bellido-Diaz, Manuel Jesus; Guerrero-Martos, David; Viejo-Cortés, Julián; Juan-Chico, Jorge. 2021. An Integrated Digital System Design Framework with On-Chip Functional Verification and Performance Evaluation. IEEE Access. 9, pp. 161383-161394.

Publicación en Revista. Cano, Germán; Ruiz De Clavijo-Vazquez, Paulino; Bellido-Diaz, Manuel Jesus; Juan-Chico, Jorge; Viejo-Cortés, Julián; Guerrero-Martos, David; Ostua-Aranguena, Enrique. 2021. Embedded LUKS (E-LUKS): a hardware solution to IoT security. Electronics. 10,

Publicación en Revista. Guerrero-Martos, David; Cano, Germán; Juan-Chico, Jorge; Millan-Calderon, Alejandro; Bellido-Diaz, Manuel Jesus; Viejo-Cortés, Julián; Ruiz De Clavijo-

Vazquez, Paulino; Ostua-Aranguena, Enrique. 2020. Address-encoded byte order. Microprocessors and Microsystems. 78,

Publicación en Revista. Guerrero-Martos, David; Millan-Calderon, Alejandro; Juan-Chico, Jorge; Viejo-Cortés, Julián; Bellido-Díaz, Manuel Jesus; Ruiz De Clavijo-Vazquez, Paulino; Ostua-Aranguena, Enrique. 2020. Using the complement of the cosine to compute trigonometric functions. Eurasip Journal on Advances in Signal Processing.

Publicación en Revista. Viejo-Cortés, Julián; Juan-Chico, Jorge; Bellido-Díaz, Manuel Jesus; Ruiz De Clavijo-Vazquez, Paulino; Guerrero-Martos, David; Ostua-Aranguena, Enrique; Cano, Germán. 2019. High-Performance Time Server Core for FPGA System-on-Chip. Electronics. 8,

Publicación en Revista. Ruiz De Clavijo-Vazquez, Paulino; Ostua-Aranguena, Enrique; Bellido-Díaz, Manuel Jesus; Juan, J.; Viejo-Cortés, Julián; Guerrero-Martos, David. 2017. Minimalistic SDHC-SPI hardware reader module for boot loader applications. Microelectronics Journal. 67, pp. 32-37.

C.2. Proyectos

TIN2017-89951-P. BootTimeloT: Sistemas de inicio avanzados y sincronización temporal de alta precisión para IoT. Ministerio de Economía, Industria y Competitividad. 2018-2020. 47190 EUR. Investigador/a.

TIN2017-89951-P. Sistemas de Inicio Avanzados y Sincronización Temporal de Alta Precisión para IoT. MINISTERIO DE ECONOMÍA Y COMPETITIVIDAD. Ruiz De Clavijo-Vazquez, Paulino (Universidad de Sevilla). 2018-2020. 47190 EUR. Investigador/a.

TIN2017-89951-P. BootTimeloT: Sistemas de inicio avanzados y sincronización temporal de alta precisión para IoT. . Ministerio de Economía y Competitividad. Ruiz De Clavijo-Vazquez, Paulino (Universidad de Sevilla). 2018-2020. 47.190,00 EUR. Investigador/a.

I.7A2. I.7A2 Ayudas para transferencia de conocimiento - PCT (mod. A2) PCT: CIRCUITO ELECTRÓNICO DIGITAL PARA EL CÁLCULO DE SENOS Y COSENOS DE MÚLTIPLOS DE UN ÁNGULO. Universidad de Sevilla. 2017. 5000 EUR. Investigador/a.

C.3. Contratos, méritos tecnológicos o de transferencia

C.4. Patentes

Guerrero-Martos, David; Millan-Calderon, Alejandro; Juan-Chico, Jorge; Viejo-Cortés, Julián; Bellido-Díaz, Manuel Jesus; Ruiz De Clavijo-Vazquez, Paulino; Ostua-Aranguena, Enrique. DISPOSITIVO ELECTRÓNICO CALCULADOR DE FUNCIONES TRIGONOMÉTRICAS Y USOS DEL MISMO. 2021.

Guerrero-Martos, David; Viejo-Cortés, Julián; Ruiz De Clavijo-Vazquez, Paulino; Juan-Chico, Jorge; Bellido-Díaz, Manuel Jesus; Millan-Calderon, Alejandro; Ostua-Aranguena, Enrique; Villar-De Ossorno, José Ignacio; Quirós-Carmona, Juan; Muñoz-Rivera, Alejandro. Circuito electrónico digital para el cálculo de senos y cosenos de múltiplos de un ángulo. 2018. Universidad de Sevilla.

C.5. Congreso

evercodeML: a formal language for SoC integration. 10/06/2015.

Building a basic membrane computer. 01/02/2016.