

# Curriculum Vitae

**Nombre:** José María Quintana Toledo

**Adscripción:** Universidad de Sevilla, Facultad de Física, Dpto. de Electrónica y Electromagnetismo

**Categoría profesional:** Catedrático de Universidad **Fecha de inicio:** Septiembre de 2009

**Situación administrativa:** Plantilla

**Dedicación:** A tiempo completo

## Formación Académica:

Lcdo. Ciencias Físicas, Esp. Electrónica

Univ. de Sevilla, junio de 1981

Lcdo. con grado

Univ. de Sevilla, junio de 1982

Doctor en Ciencias Físicas

Univ. de Sevilla, junio de 1987

## Indicadores generales de calidad de la producción científica

Cinco Sexenios.

## RESUMEN LIBRE DEL CURRÍCULUM

Licenciado en Ciencias Físicas, especialidad de Electrónica, por la Univ. de Sevilla, en 1981. Obtuve el grado en 1982, así como el Premio Extraordinario de Licenciatura y el doctorado en Física en 1987, también por la Universidad de Sevilla (US). Desde 1983 pertenezco al Departamento de Electrónica y Electromagnetismo de la US y desde su creación, en 1995, estoy adscrito al Instituto de Microelectrónica de Sevilla, en la actualidad centro mixto del Consejo Superior de Investigaciones Científicas y la Universidad de Sevilla. Soy miembro del grupo de investigación TIC-178 ("Diseño y Test de Circuitos Integrados de Señal Mixta"). Desde 2009 soy Catedrático de Electrónica en la Universidad de Sevilla.

He sido el responsable de la introducción de tres líneas de investigación en mi Dpto, las de síntesis óptima de FSMs, satisfactoriedad booleana y lógica umbral, así como de su continuación mediante la dirección de tesis y de proyectos de investigación. Una de las líneas más activas actualmente es la de lógica umbral, con implementaciones nano-microelectrónicas que utilizan dispositivos en tecnologías emergentes.

Soy coautor de siete capítulos de libro, de 40 artículos en revistas internacionales indexadas en el JCR, y más de 100 contribuciones en congresos nacionales e internacionales. He sido miembro del comité organizador en diferentes Conferencias Internacionales y organizador de sesiones especiales en distintos foros.

Tengo concedidos cinco sexenios de investigación y dirigido cinco tesis doctorales. He participado en 20 proyectos de investigación internacionales y nacionales, financiados por distintas administraciones y empresas. He recibido el premio Kelvin del IET, en su edición del año 1995, y una mención como investigador destacado del CSIC.

He sido miembro de la Comisión de Acreditación de CU-Ingeniería y Arquitectura (Comisión de Reclamaciones, ANECA) entre 2010 y 2013, evaluador del programa de Acreditación nacional para el acceso a los cuerpos docentes universitarios (Programa ACADEMIA) de ANECA, y para la Agencia Nacional de Evaluación y Prospectiva (ANEP).

## MÉRITOS MÁS RELEVANTES

### Revistas

Juan Núñez, José María Quintana, María J. Avedillo; Manuel Jiménez, Aida Todri-Sanial, Elisabetta Corti, Siegfried Karg, Bernabé Linares-Barranco, “Insights into the Dynamics of Coupled VO<sub>2</sub> Oscillators for ONNs”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 68, no. 10, pp. 3356, 2021.

Juan Núñez, María J. Avedillo; Manuel Jiménez, José María Quintana, Aida Todri-Sanial, Elisabetta Corti, Siegfried Karg, Bernabé Linares-Barranco, “Oscillatory neural networks using VO<sub>2</sub> based phase encoded logic”, Vol. 15, 2021.

María J. Avedillo, José María Quintana, and Juan Núñez, “Phase Transition Device for Phase Storing”. *IEEE Transaction on Nanotechnology*, vol. 19, no. 1, pp. 107-112, Jan. 2020.

Juan Núñez, María J. Avedillo, and José M. Quintana, “Experimental Validation of a Two-Phase Clock Scheme for Fine-Grained Pipelined Circuits Based on Monoestable to Bistable Logic Elements”, *IEEE Transaction on VLSI*, vol. 22, no. 10, pp. 2238-2242, Oct. 2014.

Juan Nuñez, María J. Avedillo, and José M. Quintana, “Novel Pipeline Architectures based on Negative Differential Resistance Devices”. *Microelectronics Journal*, vol. 44, pp. 807-813. Sept. 2013.

Juan Núñez, María J. Avedillo, and José M. Quintana, “Two-Phase RTD-CMOS Pipelined Circuits”, *IEEE Transaction on Nanotechnology*, vol. 11, no. 6, pp. 1063-1066, Nov. 2012.

Juan Núñez, María J. Avedillo, and José M. Quintana, “Domino inspired MOBILE networks”, *Electronics Letters*, vol. 48, no. 6, pp. 292-293, March 2012.

Juan Nuñez, María J. Avedillo, and José M. Quintana, “RTD-CMOS pipelined networks for reduced power consumption”, *IEEE Transaction on Nanotechnology*, vol. vol. 10, no. 6, pp 1217-1220, Nov. 2011.

Juan Núñez, María J. Avedillo, and José M. Quintana, “Simplified single-phase clock scheme for MOBILE networks”, *Electronics Letters*, vol. 47, pp 648-649, May 2011.

Héctor Pettenghi, María J. Avedillo, and José M. Quintana, "Improved Nanopipelined RTD Adders using Generalized Threshold Gates", *IEEE Transaction on Nanotechnology*, vol. 10, no. 1, pp. 155-162, Jan 2011.

José M. Quintana, María J. Avedillo, Juan Núñez, and Héctor Pettenghi, “Operation Limits for RTD-based MOBILE Circuits”, *IEEE Trans. on Circuits and Systems-I: Regular Papers*, pp. 350-363, 2009.

Juan Núñez, María J. Avedillo, and José M. Quintana, “Efficient realisation of MOS-NDR threshold logic gates”, *Electronics Letters*, vol. 45, pp 1158-1160, 2009.

Héctor Pettenghi, María J. Avedillo, and José M. Quintana, “Using Multi-Threshold Threshold Gates in RTD-based Logic Design. A Case Study”, *Microelectronics Journal*, vol. 39, pp 241-247, 2008.

### Proyectos como IP

**TEC2017-87052-P:** Circuitos y Arquitecturas con Dispositivos Steep Slope para Aplicaciones de muy Bajo Consumo de Potencia.

Ministerio de Economía y Competitividad.

Responsable: María J. Avedillo de Juan y José María Quintana Toledo (Universidad de Sevilla). 2018-2020. 85910€.

**TEC2013-40670-P:** Nano-Arquitecturas para Computación Lógica Usando Dispositivos Emergentes.

Ministerio de Economía y Competitividad.

Responsable: José María Quintana Toledo y María J. Avedillo de Juan (Universidad de Sevilla). 2014-2017. 88935€.

**TIC-2961:** Diseño e implementación de circuitos multivaluados usando dispositivos con característica NDR. Junta de Andalucía, Proyectos de Excelencia

Responsable: José María Quintana Toledo (Universidad de Sevilla). 2008-2011. 70000€.

**TIC 2004-02948:** Diseño e implementación de circuitos monolíticos nano-microelectrónicos basados en el efecto túnel resonante.

C.I.C.Y.T.

Responsable: José María Quintana Toledo (Universidad de Sevilla). 2004-2007. 164220€.

**TIC 95-0094:** Técnicas de diseño e implementación de circuitos autotemporizados.

C.I.C.Y.T.

Responsable: José María Quintana Toledo (Universidad de Sevilla). 1995-1998. 84622€

## Proyectos como investigador

**H2020-ICT-2018-2020:** NeurONN: Two-Dimensional Oscillatory Neural Networks for Energy Efficient Neuromorphic Computing

CE H2020

Responsable: María J. Avedillo de Juan (Universidad de Sevilla). 2020-2023. 143.000 €

**TEC2010-18937/MIC:** Arquitecturas y circuitos con RTDs para aplicaciones lógicas y no-lineales. Min. Ciencia e Innovación.

Responsable: María J. Avedillo de Juan (Universidad de Sevilla). 2011-2013. 90.500 €.

**TEC2007-67245/MIC:** Diseño e implementación de circuitos nano-microelectrónicos usando dispositivos con característica NDR.

C.I.C.Y.T.

Responsable: María J. Avedillo de Juan (Universidad de Sevilla). 2007-2010. 124.204 €.

**EXC/2005/TIC-927:** Diseño e implementación de circuitos multivaluados usando dispositivos con característica NDR.

Junta de Andalucía, Proyectos de Excelencia

Responsable: Adoración Rueda Rueda (Universidad de Sevilla). 2006-2009. 199.000 €.

**IST-2001-32358:** QUDOS: Quantum Tunneling Device Technology on Silicon.

C.E.

Responsable: Werner Prost (Universidad de Duisburg, Alemania). 2001-2003.

## Contratos, méritos tecnológicos o de transferencia

Frequency Discrimination Filter for Rotation Applications with Magnetic-Switches: Demonstrator Board and System Integration.

Austria Mikro-Systems.

Responsable: Diego Vázquez García de la Vega (Universidad de Sevilla). 1998-1999. 39243,52 EUR.

## Tesis dirigidas

- **Una Aproximación al Diseño Óptimo de Máquinas de Estado Finito**

Doctorando: María J. Avedillo de Juan

Facultad de Física, Universidad de Sevilla, 1992

- **GELSA: Un colocador flexible para circuitos integrados analógicos**

Doctorando: Juan Antonio Prieto Rodríguez

Facultad de Física, Universidad de Sevilla, 2001

- **Algoritmos de Codificación Binaria de Símbolos para la Síntesis Lógica de Circuitos Integrados Digitales**  
Doctorando: Manuel Martínez Pérez  
Facultad de Física, Universidad de Sevilla, 2003
- **Una aportación al diseño digital usando dispositivos basados en efecto túnel resonante**  
Doctorando: Héctor Pettenghi Roldán  
Departamento de Electrónica y Electromagnetismo, Facultad de Física, Universidad de Sevilla, 2009
- **Diseño lógico de circuitos digitales usando dispositivos con característica NDR**  
Doctorando: Juan Núñez Martínez  
Departamento de Electrónica y Electromagnetismo, Facultad de Física, Universidad de Sevilla, 2011