

Parte A. DATOS PERSONALES

Fecha del CVA 20-1-2025

Nombre y apellidos	M ^a Luisa López Vallejo		
DNI/NIE/pasaporte		Edad	
Núm. identificación del investigador	Researcher ID	K-9456-2014	
	Código Orcid	0000-0002-3833-524X	

A.1. Situación profesional actual

Organismo	Universidad Politécnica de Madrid		
Dpto./Centro	Ingeniería Electrónica		
Dirección	ETSI Telecomunicación, Avda. Complutense 20, 28040 Madrid		
Teléfono		correo electrónico	
Categoría profesional	Catedrática de Universidad	Fecha inicio	12-05-2016
Espec. cód. UNESCO	3307		
Palabras clave	VLSI, Diseño microelectrónico,		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Ingeniero de Telecomunicación	Univ. Politécnica de Madrid	1992
Dr. Ingeniero de Telecomunicación	Univ. Politécnica de Madrid	1999

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

Sexenios de investigación: 6 (uno de transferencia). Fecha del último concedido: Dic. 2023
 Número de tesis doctorales dirigidas en los últimos 10 años: 8
 Citas totales: 1905 (Google Scholar)
 Publicaciones totales en primer cuartil (Q1): 30 Índice h: 13 (WOS), 20 (Google Scholar)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM (máximo 3500 caracteres, incluyendo espacios en blanco)

María Luisa López Vallejo ha desarrollado su actividad profesional en régimen de dedicación exclusiva a la investigación y docencia en la E.T.S.I. de Telecomunicación de la Universidad Politécnica de Madrid, dentro del grupo de investigación Laboratorio de Sistemas Integrados, LSI. Dado que la actividad se lleva a cabo en una escuela de ingeniería, como tal se dedica a la investigación aplicada. El mejor indicativo de la calidad de la labor investigadora realizada es su alto grado de utilidad para la sociedad, demostrada por los importantes retornos tecnológicos que produce a través de transferencia de tecnología a las empresas y organismos del sector, revirtiendo en creación de riqueza para la sociedad que financia la investigación. Ha participado en más de 25 proyectos de I+D con diferentes fuentes de financiación, siendo el director de 20 de los mismos. Cabe destacar la continuidad en el trabajo, concatenando la dirección de seis proyectos del Plan Nacional consecutivos. También ha participado en proyectos europeos.

Su investigación ha producido resultados científicos notables en forma de publicaciones, patentes y dirección de Tesis Doctorales. El CV del solicitante incluye más de 40 artículos en revistas internacionales, la dirección de doce Tesis Doctorales, tres patentes y más de 60 congresos internacionales del máximo prestigio, con revisión por pares, todos ellos con publicación de *proceedings* con ISBN y alguno con un elevado índice de rechazo.

Otro aspecto que cabe destacar es la colaboración con otros grupos de trabajo de prestigio internacional. La profesora López Vallejo ha realizado varias estancias en centros de reconocido prestigio (MIT un año sabático, Universidad de Berkeley, Bell Labs, Politecnico de Torino, etc.).

Es miembro de distintos comités de congresos nacionales e internacionales (DATE, GLSVLSI, ICCD, DCIS, PATMOS, ISLPED, Nanoarch, ISVLSI), editora asociada de la revista IEEE Trans. on Nanotechnology y editora de Special Issues en varias revistas. De 2020 a 2024 ha sido gestora en la Agencia Estatal de Investigación.

Parte C. MÉRITOS MÁS RELEVANTES *(ordenados por tipología)*

C.1. Publicaciones (Artículos JCR últimos cinco años)

1. S López-Asunción, J González-López, C García-de-la-Cueva, M. Lopez-Vallejo, J. Grajal, "Design and Implementation of a Real-Time Low-Latency Automatic Modulation Classifier" IEEE Trans. on Instrumentation and Measurement, Nov. 2024.
2. J de Mena Pacheco, JM Carrillo, T Palacios, M Lopez-Vallejo, "A Highly Power-and Area-Efficient PMU for Cell-Size Autonomous Microsystems" IEEE Trans. Circuits and Systems I, Nov. 2024.
3. L Pistolesi, L Ravelli, A Glukhov, A de Gracia, M Lopez-Vallejo, ... "Differential Phase Change Memory (PCM) Cell for Drift-Compensated In-Memory Computing", IEEE Trans. Electron Devices, Oct. 2024.
4. JM Pacheco, T Palacios, M Hempel, ML Vallejo, "A Highly Linear Ultra-Low-Area-and-Power CMOS Voltage-Controlled Oscillator for Autonomous Microsystems" Micromachines 15 (10), 2024.
5. VM Bautista, M Garrido, M López-Vallejo, "Serial butterflies for non-power-of-two FFT architectures in 5G and beyond". IEEE Trans. on Circuits and Systems I. 70 (20) Oct. 2023.
6. M. Molina, J. Mendez, D. P. Morales, E. Castillo, M. López-Vallejo and M. Pegalajar, "Power-Efficient Implementation of Ternary Neural Networks in Edge Devices," IEEE Internet of Things Journal, Dic. 2022.
7. H. Aparicio, P. Ituero, M López-Vallejo, "Reference-free power supply monitor with enhanced robustness against process and temperature variations", Integration 82, 127-135. 2022.
8. A. de Gracia Herranz, M. Lopez-Vallejo "Time to digital sensing for multilevel RRAM cells", IEEE Access 9, 160216-160223, Dec. 2021.
9. A Bahramali, M. Lopez-Vallejo, "An RFID-Based Self-Biased 40 nm Low Power LDO Regulator for IoT Applications" Micromachines 12 (4), 2021
10. A de Gracia Herranz, M Lopez-Vallejo "Time-domain writing architecture for multilevel RRAM cells resilient to temperature and process variations" Integration 75, 141-149, 2020
11. E Pun-García, M. López-Vallejo, "A Survey of Analog-to-Digital Converters for Operation under Radiation Environments" Electronics 9 (10), 2020
12. X Zhang, J Grajal, M. López-Vallejo, E McVay, T Palacios "Opportunities and Challenges of Ambient Radio-Frequency Energy Harvesting" Vol. 4, Is. 6, 17 June 2020, Pages 1148-1152.
13. A de Gracia Herranz, M Lopez-Vallejo "Time-domain writing architecture for multilevel RRAM cells resilient to temperature and process variations" Integration 75, 141-149, 2020.
14. E Pun-García, M López-Vallejo "A Survey of Analog-to-Digital Converters for Operation under Radiation Environments" Electronics 9 (10), 1694, 2020.
15. Nadal-Serrano JM, Gómez G. Pedrosa E, Lopez-Vallejo M, et. Al. "Simple method to generate calibrated synthetic smoke-like atmospheres at microscopic scale". PLoS ONE 14(8). 2019.
16. A. Bahramali, M. Lopez-Vallejo. "A low power RFID based energy harvesting temperature resilient CMOS-only reference voltage" Integration the VLSI Journal. Pp. 155-161, Jul. 2019.

C.2. Proyectos (destacados desde 2010)

Cátedra PERTE Chip UPM-Indra en Microelectrónica (TSI-069100-2023-0016)

Entidad financiadora: Ministerio de de Asuntos Económicos Y Transformación Digital, financiado por la Unión Europea- NextGenerationEU

Entidades participantes: UPM e INDRA

Duración, desde: 1 de mayo de 2024 hasta: 30 de junio de 2027 Financiación: 5.025.000,00 Euros

Investigador responsable: Asunción Gómez Pérez

Directora técnica: María Luisa López Vallejo

Número de investigadores participantes: 50

PID2022-141391OB-C21: Emerging Technologies and Platforms for Neuromorphic Computing in Space (NEUROSPACEWARE)

Entidad financiadora: Ministerio de Ciencia e Innovación Cuantía: 200.000€

Entidades participantes: Dpto. Ingeniería Electrónica (UPM) y UPC

Duración, desde: 1/9/23 hasta: 31/08/24

Investigador responsable: María Luisa López Vallejo y Pablo Ituero

PDC2022-133657-I00: Sistemas Ultraligeros de Monitorización para Vehículos Aéreos no Tripulados Basados en Redes Neuronales Convolucionales (Neuro-UAV)

Entidad financiadora: Prueba de Concepto Cuantía de la subvención: 137.885€

Entidades participantes: Laboratorio de Sistemas Integrados (UPM)

Duración, desde: 1/12/22 hasta: 30/11/24

Investigador responsable: María Luisa López Vallejo y Pablo Ituero

Neuromorphic computing for SatCom Applications

Funding agency: ESA Budget: 350.000€ Duration: 5/5/22 to 16/3/23

Partners: Dpto. Ingeniería Electrónica (UPM), Thales A. S, University of Manchester.

Project coordinator: María Luisa López Vallejo (UPM)

MISTI: Autonomous Synthetic Cells for Sensing Applications

Entidad financiadora: MISTI-SPAIN Cuantía de la subvención: 25.000\$

Entidades participantes: Dpto. Ingeniería Electrónica (UPM) y MTL Lab (MIT)

Duración, desde: 1/1/20 hasta: 31/08/21

Investigador responsable: María Luisa López Vallejo (UPM) Tomás Palacios (MIT)

PGC2018-097339: Efficient and Robust Hardware for Brain-Inspired Computing (NEUROWARE)

Entidad financiadora: CICYT Cuantía de la subvención: 161.777€

Entidades participantes: Dpto. Ingeniería Electrónica (UPM)

Duración, desde: 1/1/19 hasta: 31/12/22

Investigador responsable: María Luisa López Vallejo y Pablo Ituero

TEC2015-65902: Variability in Nanometric technologies: Tolerance, Reliability and Benefits (TOLERA2)

Entidad financiadora: CICYT Cuantía de la subvención: 72.100€

Entidades participantes: Laboratorio de Sistemas Integrados (UPM)

Duración, desde: 1/01/16 hasta: 31/12/18

Investigador responsable: María Luisa López Vallejo

C.3. Contratos

Título: State of the Art of EDGE AI Components and Technologies

Entidad contratante: Indra. Duración: 15/2/24 a 14/2/25.

Investigador responsable UPM: María Luisa López Vallejo

Cuantía (UPM): 60.000€

Título: Autonomous sensing platform for structural monitoring of transmission towers.

Subcontrato desde MIT, Entidad contratante: Ferrovial. Duración: 1/1/22 a 31/12/23.

Investigador responsable UPM: María Luisa López Vallejo

Cuantía (UPM): \$70.000

Título del proyecto: Análisis tecnológico y desarrollo de técnicas de mitigación de fallos en la tecnología GF 22FDX

Entidad financiadora: Arquimea Space and Defense. Duración: 1/09/2021 hasta: 30/06/22

Investigador responsable UPM: María Luisa López Vallejo

Cuantía de la subvención (UPM): 35.000 Euros

Título: Diseño de módulos de análisis intra-pulso y pulso corto en FPGA

Entidades participantes: INDRA S.A. Universidad Politécnica de Madrid (GMR y LSI)

Duración: 1/10/2018 to 26/5/2022 Cuantía: 145.000 Euros

Principal investigator: Jesús Grajal (SSR-UPM), Marisa López Vallejo (LSI-UPM)

C.4. Patentes

Inventores: T. Gabara, Inkyu Lee, M. L. López-Vallejo, y S. Mujtaba

Título: Block Processing in a Maximum a Posteriori Processor for Reduced Power Consumption N. de solicitud: 7353450 País de prioridad: EEUU Fecha de prioridad: 1 Abril 2008 Entidad titular: Agere Systems Inc. Países a los que se ha extendido: EEUU Empresa/s que la están explotando: Agere Systems Inc.

Inventores: C. Arrabal, P. Ituero, M. L. López-Vallejo y C. López Barrio

Título: Procedimiento y arquitectura electrónica para la detección SOVA óptima

N. de solicitud: P200701056 País de prioridad: España Fecha de prioridad: 19/04/2007 Entidad titular: Universidad Politécnica de Madrid

Inventores: P. Ituero, J.L. Ayala Rodrigo, M. L. López-Vallejo

Título: Aparato para la medida de temperatura y corriente de fugas en un chip

N. de solicitud: P200702109 País de prioridad: España, Europa, EEUU Fecha de prioridad: 16/07/2008 Entidad titular: Universidad Politécnica de Madrid

C.5 Dirección de tesis doctorales: 8 en los últimos 10 años

- “Contribution to the Design and Implementation of Rad-Hard $\Sigma\Delta$ Analog-to-Digital Converters. E. Pun, 8 Feb. 2024
- “Interfacing memristors for reliable computing”. Amadeo de Gracia, 20 Diciembre 2023.
- “Variability-aware design of front-end circuits for self-powered applications”. Asghar Bahramali 24 Mayo 2021.
- “Resistive RAM: Simulation and Modeling for Reliable Design”. Fernando García Redondo, 5 de junio de 2017
- “Study, design and validation of a framework model for smoke and particle-filled atmospheres”. José María Nadal Serrano, 27 de abril de 2017
- “Modeling and Design of Ring Oscillators and their Applications in Radiation Environments”. Javier Agustín Sáenz, 16 marzo de 2017
- “Fault management techniques for systems with SRAM-based FPGAs”, Ignacio Herrera Alzu. 23 de julio de 2015
- “Design and simulation of deep nanometer SRAM cells under energy, mismatch, and radiation constraints” Pablo Royer del Barrio. 22 de julio de 2015

C.6 Participación de tareas de evaluación de proyectos: CICYT, ANEP, EU

C.7 Miembro de Comités Técnicos de Congresos Internacionales (últimos 10 años)

- IEEE trans. on Circuits and Systems I, associate editor desde enero 2024.
- IEEE trans. on Nanotechnology, associate editor de 2017 a 2023. Editor desde 2023.
- PATMOS 2018, General Chair. PATMOS 2019, Program Chair.
- Design Automation and Conference (DATE). Executive Committee, 2017, 2020, 2021.
- ISLPED 2019 - 2024 Program Committee.
- DATE Program Committee. Ediciones: 2010 - 2015 (las dos últimas Track Chair) y 2016.
- IEEE ESSCIRC / ESSER Program Committee. Ediciones: 2023 y 2024.
- Greal Lake Symposium on VLSI (GLSVLSI). Ediciones 2011 – 2016.
- Desde 2008 Miembro del Steering Committee del Design of Circuits and Integrated Systems (DCIS). General Chair en la edición 2020.

C.8 Cargos de gestión

- Desde abril 2020 a feb. 2024 gestora del área TIC-MNF de la División de Coordinación, Evaluación y Seguimiento Científico Técnico, Agencia Estatal de Investigación.
- Subdirectora para Planificación y Ordenación Académica en la E.T.S.I. Telecomunicación (UPM) desde enero de 2013 a julio de 2015.