

CURRICULUM VITAE
Actividades de I+D+i

EUGENIO VILLAR

Santander, a 21 de Mayo de 2024

Fdo: Eugenio Villar

Orcid: orcid.org/0000-0002-6541-6176
Scopus: 7005735445

Titulación académica

-Licenciado en Ciencias Físicas (Electrónica) por la Facultad de Ciencias de la Universidad de Cantabria en Junio de 1979.

-Finalizó la Tesina de Licenciatura en la Facultad de Ciencias de la Universidad de Cantabria el 21 de Mayo de 1980 con la calificación de Sobresaliente.

-Obtuvo el grado de Doctor en Ciencias Físicas (Electrónica) en la Facultad de Ciencias de la Universidad de Cantabria el 17 de Julio de 1984 con la calificación de Sobresaliente "Cum-Laude".

Puestos docentes desempeñados

-Fue Ayudante del Departamento de Electrónica de la Universidad de Cantabria con dedicación exclusiva desde el 1 de Octubre de 1979 hasta el 30 de Septiembre de 1984.

-Fue Profesor Titular de Universidad contratado del Departamento de Electrónica de la Universidad de Cantabria con dedicación exclusiva desde el 1 de Octubre de 1984 hasta el 6 de Mayo de 1986.

-Fue Profesor Titular de Universidad del Departamento de Electrónica de la Universidad de Cantabria con dedicación exclusiva desde el 7 de Mayo de 1986 hasta el 4 de Diciembre de 1995.

-Fue Profesor Titular de Universidad del Departamento de Tecnología Electrónica, Ingeniería de Sistemas y Automática de la Universidad de Cantabria con dedicación exclusiva desde el 5 de Diciembre de 1995 hasta el 18 de Junio de 2002.

-Es Catedrático de Universidad del Departamento de Tecnología Electrónica, Ingeniería de Sistemas y Automática de la Universidad de Cantabria con dedicación exclusiva desde el 19 de Junio de 2002.

Area de conocimiento: Tecnología Electrónica.

Cursos y Conferencias

-Impartió durante el curso 1984-85 el curso titulado: "Introducción a los microprocesadores: Teoría y práctica", en colaboración con el ICE de la Universidad de Cantabria.

-Impartió los cursos titulados: "Design methodologies based in EDA standards" y "Short introduction to VHDL" a profesores de la Universidad Politécnica de Varsovia dentro del programa TEMPUS JEP-2038/92/2 en Noviembre de 1992.

-Impartió los cursos titulados: "Design methodologies based in EDA standards", "Short introduction to VHDL" y "Advanced topics on VHDL" en el INESC de Lisboa en Diciembre de 1992.

-Impartió el curso titulado: "Synthesis applications of VHDL", en el NATO Advanced Study Institute: "Fundamentals and Standards in Hardware Description Languages" celebrado en Il Ciocco, Lucca, Italia, en Abril de 1993.

-Impartió el seminario titulado: "Subconjuntos para síntesis RT" en el curso "VHDL: El lenguaje estándar de diseño electrónico", dentro de los Cursos de Verano de la Universidad de Cantabria en Laredo en Septiembre de 1993.

-Impartió los cursos titulados: "Metodologías de diseño basadas en estándares" e "Introducción a VHDL" en el Departamento de Ingeniería Electrónica de la Universidad Politécnica de Cataluña en Julio de 1993.

-Impartió la conferencia titulada: "VHDL: El lenguaje estándar de diseño electrónico" dentro del curso "Metodología "top-down" para el diseño de ASICs y de FPGAs" celebrado en las Jornadas profesionales Expotrónica 94 en Septiembre de 1994.

-Impartió la conferencia titulada: "Aplicaciones para síntesis de VHDL" dentro del curso COMETT 8108 "Introducción a VHDL y síntesis lógica" celebrado en el Laboratorio de Sistemas Integrados del Dpto. de Ingeniería Electrónica de la Universidad Politécnica de Madrid en Octubre de 1994.

-Impartió la tutoría titulada "Synthesis applications of VHDL" dentro del "VHDL-Forum for CAD in Europe, Spring'95 Working Conference", celebrado en Nantes, Francia, en Abril de 1995.

-Impartió la conferencia titulada: "Uso de VHDL en Síntesis", dentro del curso "Síntesis VHDL" impartido en la División de Ingeniería Electrónica de la E.T.S.I. Industriales de la Universidad Politécnica de Madrid en Septiembre de 1995.

-Impartió la conferencia titulada "Synthesis applications of VHDL" dentro del seminario del proyecto HCM "Behavioral design methodologies for digital systems (BELSING)", celebrado en Duisburg, Alemania, en Septiembre de 1995.

-Impartió la tutoría titulada "VHDL Level-0 synthesis syntax and semantics" dentro del "VHDL-Forum for CAD in Europe, Spring'96 Working Conference", celebrada en Dresden, Alemania, en Mayo de 1996.

-Impartió la conferencia titulada "VHDL synthesis applications" en el Center for Telecommunication and Information Technology de la Universidad de Twente en Abril de 1996.

-Impartió la conferencia titulada: "VHDL en diseño electrónico", dentro del seminario internacional de "Co-diseño hardware/software" impartido en la Facultad de Ingeniería de la Universidad de los Andes, en Bogotá en Septiembre de 1996.

-Impartió la conferencia titulada: "Limitaciones del VHDL", dentro del seminario internacional de "Co-diseño hardware/software" impartido en la Facultad de Ingeniería de la Universidad de los Andes, en Bogotá en Septiembre de 1996.

-Impartió la conferencia titulada: "Experiencias de co-diseño en la UC", dentro del seminario internacional de "Co-diseño hardware/software" impartido en la Facultad de Ingeniería de la Universidad de los Andes, en Bogotá en Septiembre de 1996.

-Impartió la conferencia titulada "Embedded system specification" en el Curso "Synthesis and Test of Digital Systems from Behavioral Specifications" dentro de los Cursos de Verano de la Universidad Complutense de Madrid en Almería, del 30 de Junio al 4 de Julio de 1997.

-Impartió durante el curso 1999-00 el curso titulado: "Diseño electrónico con VHDL", Curso de Actualización Científico-Didáctica del Plan Provincial de Formación del Profesorado del Gobierno Autónomo de Cantabria en colaboración con el ICE de la Universidad de Cantabria.

-Impartió la conferencia titulada: "SystemC", dentro del curso "Especificación y diseño de sistemas de procesado digital de señal" que tuvo lugar en Alcatel-Espacio, en Tres Cantos (Madrid) en Septiembre de 2000.

-Impartió la conferencia titulada: "Síntesis de comportamiento", dentro del curso "Especificación y diseño de sistemas de procesado digital de señal" que tuvo lugar en Alcatel-Espacio, en Tres Cantos (Madrid) en Septiembre de 2000.

-Impartió la conferencia titulada: "Especificación y Co-diseño", dentro de las I Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Septiembre de 2000.

-Impartió la conferencia titulada: "SystemC", dentro de las I Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Septiembre de 2000.

-Impartió la conferencia titulada: "Introducción a VHDL", dentro de las I Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Septiembre de 2000.

-Impartió la conferencia titulada: "Síntesis con VHDL", dentro de las I Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Septiembre de 2000.

-Impartió la conferencia titulada: "Tecnologías para la Sociedad de la Información", en el Colegio Mayor Juan de la Cosa de Santander en Febrero de 2001.

-Impartió el seminario titulado: "Especificación de sistemas embebidos HW/SW" en el curso "Diseño de sistemas embebidos HW/SW", dentro de los Cursos de Verano de la Universidad de Cantabria en Santander en Julio de 2001.

-Impartió la conferencia titulada: "Introducción a VHDL", dentro del curso "Descripción, simulación y síntesis de circuitos electrónicos basados en FPGAs desde VHDL" que tuvo lugar en Dibal, en Zamudio (Vizcaya) en Mayo de 2002.

-Impartió la conferencia titulada: "Especificación de sistemas embebidos HW/SW", dentro de las II Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Julio de 2002.

-Impartió la conferencia titulada: "Introducción a SystemC", dentro de las II Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Julio de 2002.

-Impartió la conferencia titulada: "CoDiseño de sistemas embebidos desde SystemC", dentro de las II Jornadas Iberoamericanas de "Diseño digital de alto nivel" organizado en el Centro Iberoamericano de Formación de Cartagena de Indias por CYTED en Julio de 2002.

-Impartió la conferencia titulada: "Nuevas metodologías de co-diseño de sistemas embebidos HW/SW" organizado en la Facultad de Ciencias por el Dpto. de Electricidad y Electrónica de la UPV y GAIA en Mayo de 2003.

-Impartió la conferencia titulada: "Introducción a VHDL-AMS" del curso: "VHDL, lenguaje estándar de diseño electrónico", organizado en la Facultad de Ciencias por el Dpto. de Electricidad y Electrónica de la UPV y GAIA en Julio de 2003.

-Impartió la conferencia titulada: "Inteligencia Ambiental: Frontera actual de la Tecnología Electrónica", dentro de las VI Jornadas sobre Innovaciones en Ingeniería e Informática organizadas por AUDIN en Noviembre de 2003.

-Impartió la conferencia titulada: "Introducción a SystemC" del curso: "Especificación y análisis de sistemas en SystemC. Generación de HW y SW", organizado en la Facultad de Ciencias por el Dpto. de Electricidad y Electrónica de la UPV y GAIA en Febrero de 2004.

-Impartió la conferencia titulada: "Especificación y co-diseño de sistemas embebidos" del curso: "Especificación y análisis de sistemas en SystemC. Generación de HW y SW", organizado en la Facultad de Ciencias por el Dpto. de Electricidad y Electrónica de la UPV y GAIA en Febrero de 2004.

-Impartió 16h del curso de postgrado "Diseño a Alto Nivel de Sistemas Electrónicos" ofrecido como Curso de verano de la Universidad de Los Andes, en Bogotá del 7 al 17 de Julio de 2011 con una intensidad total de 45h.

-Impartió la Tutoría invitada titulada: "Native power estimation for Embedded System design-space exploration" en PATMOS 2011 el 26 de Septiembre de 2011 en la Facultad de Informática de la Universidad Complutense de Madrid.

-Impartió el curso de 5h titulado: "System Specification in UML/MARTE and SystemC" integrado en la Escuela de Doctorado "Scuola di Dottorato in Science dell'Ingegneria, Curriculum Biomedical, Electronics and Telecommunications Engineering" within the course "Progettazione di Sistemi Integrati" of the "Laurea Magistrale in Elettronico Engineering" en Ancona del 4 al 8 de Junio de 2012.

-Impartió la conferencia titulada: "La Tecnología Electrónica como soporte de la Sociedad de la Información", en el Club Rotario de Torrelavega el 20 de Mayo de 2013.

-Impartió la conferencia titulada: "Cómo la electrónica ha cambiado tu vida... y cómo seguirá haciéndolo en un futuro", en el Café Científico de Santander organizado por el IFCA de la Universidad de Cantabria el 27 de Septiembre de 2013.

-Impartió la conferencia titulada: "Electrónica cotidiana: Como nos cambia la vida y cómo la cambiará", en el Club de Regatas de Santander organizado por la Casa de la Comunidad Valenciana en Cantabria el 12 de Diciembre de 2013.

-Impartió la conferencia titulada: "Modeling and SW Synthesis for Heterogeneous Embedded Systems in UML/MARTE" en el "Tutorial SD1: High-Level Specifications to cope with Design Complexity" en la Conferencia ASP-DAC 2014, Singapur.

-Impartió el seminario de 6h: "Metodología de Diseño de Sistemas Embebidos HW/SW de código único", en Thales-Alenia Space, Tres Cantos, Julio, 2014.

-Impartió la conferencia titulada: "Impacto presente y futuro de la electrónica", en el 5º Betabeers Santander, en Distrito Beta el 26 de Febrero de 2015.

-Impartió la conferencia titulada: "Cómo la electrónica ha cambiado nuestra vida y cómo seguirá haciéndolo en el futuro", en el I.E.S. Garcilaso de la Vega de Torrelavega el 29 de Abril de 2015.

- Impartió la "Keynote 1: System Performance Modeling & Analysis in the Electronics Century", en la "DAC 2016 Workshop on System-to-Silicon Performance Modeling and Analysis Power, Temperature and Reliability" en Austin, Texas, Junio, 2016.

-Impartió el "Tutorial: Electronic System Modeling, Analysis and Design beyond Moore's Law: A forecast" en la "Nanoelectronics, Applications, Design & Technology Conference Highlights from CATRENE, PENTA, ECSEL and H2020 projects", Grenoble, Junio, 2016.

-Impartió la conferencia titulada: "La electrónica en nuestro día a día", en la 'Noche Europea de los Investigadores' organizada por la Universidad de Cantabria en Septiembre de 2016.

-Impartió la conferencia titulada: "La privacidad en un mundo digital", en la 'Noche Europea de los Investigadores' organizada por la Universidad de Cantabria en Septiembre de 2018.

-Impartió la conferencia titulada: "Cuál va a ser tu trabajo cuando seas mayor", en el 'UC Technology and Programming' organizado por la Universidad de Cantabria en Abril de 2019.

-Impartió la conferencia titulada: "Drones inteligentes: Que son y para que sirven?", en ciclo 'Más allá de la Pandemia' organizado por la Unidad de Cultura Científica de la Universidad de Cantabria en Junio de 2020.

- E. VILLAR: "Megamodeling of complex, distributed, heterogeneous CPS systems", 1st Summer School on Cyber-Physical Systems and Internet-of-Things - CPS&IoT'2019, Budva, Montenegro, 2019.

-Impartió la conferencia titulada: "Drones inteligentes: Que son y para que sirven?", en la 'Semana de la Ciencia' organizada por la Universidad de Cantabria en Noviembre de 2020.

- Impartió la conferencia titulada: "Model-Driven Design of CPSoS: Application to drone-based services", 2nd Summer School on Cyber-Physical Systems and Internet-of-Things - CPS&IoT'2021, Budva, Montenegro, Junio, 2021.

-Impartió la conferencia titulada: "Drones inteligentes: Aplicaciones e impacto en seguridad y privacidad", en el 'Ciclo de Conferencias de los Cursos de Verano de la Universidad de Cantabria en Bezana' en Julio de 2021.

- Impartió la conferencia titulada: "Autonomous Drones: Technologies and Applications", CNM Outreach Activities, on-line, Marzo, 2022, <https://www.youtube.com/watch?v=zpQrk3MdQRc>.

- Impartió la conferencia titulada: "Modeling, Design and Implementation of drone-based Services", 3rd Summer School on Cyber-Physical Systems and Internet-of-Things - CPS&IoT'2021, Budva, Montenegro, Junio, 2022.

- Impartió la conferencia titulada: "Modeling and Simulation of UAV-based Services", en el curso de la Universidad Internacional Menéndez Pelayo: "Technologies for future services and bussines models based on safe and autonomous drones", Santander, Julio, 2022.

Cursos organizados

-Dirigió el curso titulado: "VHDL: Curso de formación con ejercicios prácticos", impartido por Paul Menchini de CLSI y Jacques Roulliard de LEDA en Santander en Enero de 1990.

-Dirigió el curso titulado: "VHDL: El lenguaje estándar de diseño electrónico", impartido dentro de los Cursos de Verano de la Universidad de Cantabria en Laredo en Septiembre de 1993.

-Organizó el curso del Grupo de Usuarios de VHDL titulado: "Advanced Modeling with VHDL", impartido por Serge Maginot en el Dpto. de Informática y Automática de la Universidad Complutense de Madrid en Julio de 1994.

-Organizó el curso del Grupo de Usuarios de VHDL titulado: "LEDA LVS System", impartido por Serge Maginot en el Dpto. de Informática y Automática de la Universidad Complutense de Madrid en Julio de 1994.

-Organizó el curso del Grupo de Usuarios de VHDL titulado: "Síntesis VHDL", impartido en la División de Ingeniería Electrónica de la E.T.S.I. Industriales de la Universidad Politécnica de Madrid en Septiembre de 1995.

-Dirigió el Curso de Formación titulado "Especificación y Diseño de Sistemas Electrónicos para Procesado de señal", impartido en Alcatel-Espacio del 11 al 15 de Septiembre de 2000.

-Dirigió el Curso de Verano de la Universidad de Cantabria titulado: "Diseño de sistemas embebidos HW/SW", impartido en la E.T.S.I. Industriales y de Telecomunicación del 2 al 6 de Julio de 2001.

-Dirigió el curso: "VHDL, lenguaje estándar de diseño electrónico", organizado en la Facultad de Ciencias por el Dpto. de Electricidad y Electrónica de la UPV y GAIA en Julio de 2003.

-Organizó el Workshop: "Embedded systems research in europe" celebrado en Paris, el 20 de Febrero de 2004 dentro de DATE'04.

-Dirigió el curso: "Especificación y análisis de sistemas en SystemC. Generación de HW y SW", organizado en la Facultad de Ciencias por el Dpto. de Electricidad y Electrónica de la UPV y GAIA en Febrero de 2004.

- Fue Secretario del curso de la Universidad Internacional Menendez Pelayo: "Technologies for future services and bussines models based on safe and autonomous drones", Santander, Julio, 2022.

Dirección de proyectos de investigación subvencionados (51)

-Fue investigador principal del proyecto titulado "Estudio, análisis e implementación de estrategias de síntesis de alto nivel inteligentes" financiado por la Dirección General de Telecomunicaciones durante el año 1990 con 1'5MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Actuaciones para la formalización de propuesta de proyecto ESPRIT en síntesis VHDL de alto nivel" financiado por la CYCIT el año 1991 con 500KPtas.

-Fue investigador principal del proyecto titulado "Desarrollo de un sistema de síntesis de alto nivel inteligente en un entorno de diseño VHDL" financiado por la Dirección General de Telecomunicaciones los años 1991-1993 con 5'5MPtas.

-Fue el investigador responsable de la ayuda para la organización del "VHDL Forum for CAD in Europe. Spring'92 Meeting" financiado por la Dirección General de Investigación Científica y Técnica el año 1992 con 0'5MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Participación en proyectos europeos de estandarización en diseño electrónico asistido por computador" financiado por la CYCIT el año 1993 con 500KPtas.

-Fue el investigador principal por la Universidad de Cantabria en el proyecto ESPRIT 8370 ESIP financiado por la CEC desde Octubre de 1993 hasta Septiembre de 1995 con 152KECUs.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Grupo de Usuarios de VHDL" financiado por la CICYT el año 1992 con 1'2MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Grupo de Usuarios de VHDL" financiado por la CICYT el año 1993 con 1'5MPtas.

-Fue coordinador del proyecto coordinado titulado "Entorno de síntesis para circuitos de comunicaciones a partir de descripciones VHDL" financiado por la CICYT los años 1994-1997 con 7'8MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Proyecto ESPRIT 8370 ESIP" financiado por la CYCIT los años 1995-96 con 4'152MPtas.

-Fue el investigador principal por la Universidad de Cantabria en el proyecto HCM titulado: "Behavior design methodologies for digital systems" financiado por la EC los años 1995-1998 con 83'050KECUs.

-Fue el investigador principal por la Universidad de Cantabria en el proyecto GAME PRENDA financiado por la EC, el CDTI y la CICYT los años 1994-1995 con 4'232MPtas.

-Fue el investigador principal en el proyecto GAME "Análisis de viabilidad de un ASIC para onda portadora" financiado por la EC, el CDTI y la CICYT el año 1995 con 1MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Grupo de Usuarios de VHDL" financiado por la CYCIT el año 1995 con 1'5MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Propuesta ESPRIT FESTIVE" financiado por la CYCIT el año 1995 con 346KPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Spring'97 VUFE y LCM&QA Workshop" financiado por la CYCIT el año 1996 con 500KPtas.

-Fue el investigador principal del proyecto titulado "Payload Interface Unit (Nueva Generación)" financiado por ALCATEL-Espacio los años 1996-1998 con 6MPtas.

-Fue el investigador principal del proyecto titulado "Verificación de tarjeta digital FORMAT" financiado por TTI-Norte en 1998 con 1'5MPtas.

-Fue el investigador principal del proyecto titulado "Verificación de tarjeta digital SAD" financiado por TTI-Norte en 1998 con 1'5MPtas.

-Fue el investigador principal del proyecto titulado "Verificación de tarjeta digital FORMAT-STU" financiado por TTI-Norte en 1998 con 1'2MPtas.

-Fue el investigador principal del proyecto titulado "Estudio de viabilidad y diseño para sistema DBFN" financiado por TTI-Norte en 1998 con 2'5KPtas.

-Fue el investigador principal por la Universidad de Cantabria en el proyecto ESPRIT 26971 CoMES bajo Subcontrato de INDRA-Espacio desde Julio de 1998 hasta Diciembre de 1999 por 7.920.000 Ptas.

-Fue el investigador principal del proyecto titulado: "Desarrollo de metodologías industriales de diseño de sistemas embebidos HW/SW", financiado por CICYT y FEDER durante los años 1999-2001 con 34.970.000 Ptas.

-Fue el investigador principal del proyecto ATYCA titulado "Módulo multiplexor de a bordo DVB" bajo subcontrato de ALCATEL-Espacio el año 1999 con 5'2MPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Preparación de la propuesta IST DISCO-ECSY" financiado por la CYCIT el año 2000 con 292KPtas.

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Preparación de la propuesta IST PREDATEUR" financiado por la CYCIT el año 2000 con 227KPtas.

Fue el investigador principal del convenio de colaboración con Alcatel-Espacio para el curso de formación "Especificación y diseño de sistemas electrónicos para procesado de señal", financiado con 510Kptas. en Septiembre de 2000.

-Fue el investigador principal del proyecto titulado "Diseño y validación del ASIC de multiplexación del procesador de banda-base (BBP) del equipo de difusión de video digital (DVB) del programa Domino 2" financiado por ALCATEL-Espacio los años 2000 y 2002 con 60.000 €

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Curso de metodologías industriales de Diseño de sistemas embebidos HW/SW" financiado por la CYCIT el año 2001 con 3.005'06€

-Fue el investigador principal del proyecto titulado "Desarrollo de una tarjeta de control digital" financiado por TTI-Norte en 2002 con 1.803 €

Fue el investigador principal del convenio de colaboración con Dibal para el curso de formación "Descripción, simulación y síntesis de circuitos electrónicos basados en FPGAs desde VHDL", financiado con 3.200 € durante los meses de Mayo y Junio de 2002.

-Fue el investigador principal por la Universidad de Cantabria en el proyecto MEDEA+ A511 ToolIP (Fase I) bajo Subcontrato de DS2 desde 1 de Enero hasta 30 de Junio de 2002 por 15.000€

-Es el investigador principal por la Universidad de Cantabria en el proyecto MEDEA+ A511 ToolIP (Fase II) bajo Subcontrato de DS2 desde 10 de Octubre de 2002 hasta 31 de Diciembre de 2003 por 237.000€

-Fue el investigador responsable de la Acción Especial del Programa Nacional TIC titulada: "Participación en Red de Excelencia y Proyecto Integrado en diseño de sistemas electrónicos" financiado por el MCYT el año 2003 con 12.000 €

-Fue el investigador principal por la Universidad de Cantabria en el proyecto ITEA 03002 MERCED bajo Subcontrato de DS2 desde el 16 de Noviembre de 2004 hasta 30 de Junio de 2006 por 111.000€

-Fue el investigador principal por la Universidad de Cantabria en el proyecto MEDEA+ 2A708 LoMoSa+ bajo Subcontrato de DS2 desde el 23 de Agosto de 2005 hasta 31 de Agosto de 2008 por 341.500€

-Fue el investigador principal por la Universidad de Cantabria en el Proyecto Singular FIT-340503-2006-5 ATENEA, financiado por el MITyC y DS2 de 2006 a 2008 con 63.000€

-Es el investigador principal por la Universidad de Cantabria en el proyecto ITEA 05015 SPICES financiado por el MITyC en 2006 y 2007 con 143.430€

-Fue el investigador principal en el convenio de colaboración con Vista Silicon en el proyecto SVATA del Plan de Gobernanza Tecnológica del Gobierno de Cantabria durante el año 2007 con 23.000 €

-Fue el investigador principal por la Universidad de Cantabria en el proyecto FP6 033511 ANDRES financiado por la CE desde Julio de 2006 hasta Junio de 2009 por 186.300€

-Fue el investigador principal en el proyecto de intensificación titulado: “Intensificación de la capacidad de I+D+i en Diseño Electrónico”, financiado por el MEyC en 2007 y 2008 con 15.000€

-Fue el investigador principal por la Universidad de Cantabria en el proyecto CENIT VISION financiado por el CDTI y DS2 desde el 7 de Mayo de 2007 hasta el 31 de Diciembre de 2010 con 704.000€

-Fue el investigador principal por la Universidad de Cantabria en el proyecto FP7 216693 MULTICUBE financiado por la CE desde Enero de 2008 hasta Junio de 2010 por 194.955€

-Fue el investigador principal por la Universidad de Cantabria en el proyecto FP7 216807 SATURN financiado por la CE desde Enero de 2008 hasta Diciembre de 2010 por 190.800€

-Fue el investigador principal por la Universidad de Cantabria en el proyecto Artemis JU 100029 Scalopes financiado por el MICyT y la CE desde Enero de 2009 hasta Diciembre de 2010 por 309.376€ que recibió el 'Artemis Recognition Award 2011'.

-Fue el investigador principal por la Universidad de Cantabria en el Proyecto Integrado FP7 247999 COMPLEX financiado por la CE desde Diciembre de 2009 hasta Noviembre de 2012 por 325.568€

-Fue el investigador principal por la Universidad de Cantabria en el Proyecto FP7 288307 PHARAON financiado por la CE desde Septiembre de 2011 hasta Agosto de 2014 por 354.000€

-Fue el investigador principal del convenio de colaboración con Alpha-SIP para el proyecto de investigación “Proyecto Catrene H-Inception”, financiado con 35.000 € desde Octubre de 2012 hasta Septiembre de 2015.

-Fue el investigador principal por la Universidad de Cantabria en el Proyecto FP7 IP 611146 CONTREX financiado por la CE desde Octubre de 2013 hasta Septiembre de 2016 por 391.336€

-Fue el investigador principal del convenio de colaboración con Thales-Alenia Space para el proyecto de investigación "Proyecto ECSEL EMC2", financiado con 60.000 € desde Enero de 2015 hasta Junio de 2017.

-Fue el investigador principal del proyecto titulado "Desarrollo de un sistema de recepción y visualización de mensajes de bajo coste y bajo consumo" financiado por Codelse en 2018 con 5.000 €

-Fue el investigador principal por la Universidad de Cantabria en el proyecto H2020 737494 ECSEL MegaMart2 financiado por el MinECo y la CE desde Abril de 2017 hasta Marzo de 2020 por 361.344€

-Fue el investigador principal por la Universidad de Cantabria en el proyecto H2020 826610 ECSEL Comp4Drones financiado por el MinECo y la CE desde Octubre de 2019 hasta Enero de 2023 por 301.658€

-Es el investigador principal por la Universidad de Cantabria en el proyecto H2020 101007350 ECSEL AIDOaRT financiado por el MinECo y la CE desde Abril de 2021 hasta Marzo de 2024 por 279.455€

Tutorías

-Dentro del Convenio con INISEL S.A. para la formación y orientación de estudiantes en temas de microelectrónica para aplicaciones de procesamiento de señales, fue tutor de D. J.Crespo durante el curso 1988/89.

-Dentro del Convenio con TID para la formación y orientación de estudiantes en temas de microelectrónica, fue tutor de Dña. M^a.J.Aguado durante el curso 1988/89, dirigiendo el trabajo titulado: "Algoritmos de generación automática de tests para circuitos combinatoriales: Estudio de su extensión a circuitos secuenciales".

-Dentro del Convenio con INISEL S.A. para la formación y orientación de estudiantes en temas de microelectrónica para aplicaciones en memorias digitales de radio-frecuencia, fue tutor de D. F.Moreno durante el curso 1989/90.

-Fue tutor de la práctica en la empresa Siemens A.G. en Munich realizada por D. Isaac Tejerina desde Septiembre a Diciembre de 1997.

-Fue tutor de la práctica en la empresa Siemens A.G. en Munich realizada por D. Ruben Rodriguez desde Septiembre a Diciembre de 1997.

Dirección de trabajos de investigación

-Fue director de la beca de Formación de Personal Investigador titulada: "Desarrollo de herramientas de verificación funcional de sistemas digitales" otorgada a Dña. A.Jaime en 1986.

-Fue director de la beca de Formación de Personal Investigador titulada: "Diseño y evaluación de sistemas digitales descritos a nivel algorítmico" otorgada a D. P.Sanchez en 1987.

-Fue director de la beca del Instituto de Cooperación Iberoamericana titulada: "Estudio e implementación de algoritmos de evaluación de arquitecturas descritas a nivel de transferencia de registros" otorgada a D. H.Random en 1989.

-Fue tutor de la beca ERASMUS de tres meses titulada: "An implemetacion of the force directed and force directed list scheduling algorithms" otorgada al alumno de la Technical University of Eindhoven M. Kluytmans en 1990.

-Fue director de la beca de Formación de Personal Investigador titulada: "Realización de un planificador inteligente para síntesis de alto nivel" otorgada a D. P.Tabuenca desde 1993 a 1997 dentro del proyecto TIC91-0242.

-Fue tutor de D. Harold Teunissen de la Universidad de Twente durante su estancia desde el mes de Junio al mes de Agosto de 1996 en la Universidad de Cantabria financiada por la Red HCM BELSIGN.

-Fue tutor de D. Ingo Schreiber del Fraunhofer Intitute de Dresden durante su estancia en el mes de Noviembre de 1996 en la Universidad de Cantabria financiada por la Red HCM BELSIGN.

-Fue tutor de D. Martín Kaibel de la Universidad de Duisburg durante su estancia desde el mes de Noviembre de 1996 hasta el mes de Marzo de 1997 en la Universidad de Cantabria financiada por la Red HCM BELSIGN.

-Fue director del contrato de D. Jean-Pierre Deschamp desde el mes de Julio al mes de Octubre de 1998 en la Universidad de Cantabria financiada por la Red HCM BELSIGN.

-Es director de la beca de Formación de Personal Investigador titulada: "Análisis de prestaciones en sistemas embebidos HW/SW descritos en SystemC" otorgada a D. F. Herrera desde Abril de 2002 a Marzo de 2006.

-Fue director de la beca de Estudios PostDoctorales de la Agencia Española de Cooperación Internacional otorgada a Dña. Nancy Blanco desde 1 de Octubre hasta 31 de Diciembre de 2002.

-Fue director de la beca de Estudios PostDoctorales de la FAPESC otorgada a D. Ivan Jeukens desde 24 de Febrero de 2003 hasta el 23 de Agosto de 2003.

-Es director de la beca de investigacion. del Programa predoctoral de la Universidad de Cantabria titulada: "Verificación de prestaciones en sistemas embebidos complejos HW/SW" otorgada a D. H. Posadas en 2004.

Dirección de Tesis Doctorales

-Dirigió la Tesis Doctoral titulada "PSAL: Estudio, análisis e implementación de algoritmos de síntesis de alto nivel" defendida por D. Pablo Sánchez en Abril de 1991 y calificada con Sobresaliente "Cum-Laude".

-Dirigió la Tesis Doctoral titulada "Desarrollo de un sistema inteligente para síntesis de comportamiento: Aplicación al Co-diseño HW/SW" defendida por D. Pedro Tabuenca en Marzo de 1996 y calificada con Apto "Cum-Laude" por unanimidad.

-Dirigió la Tesis Doctoral con Mención Europea titulada "Especificación Heterogénea y Generación Automática de Software desde SystemC para Sistemas Embebidos" defendida por D. Fernando Herrera en Enero de 2009 y calificada con Apto "Cum-Laude" por unanimidad.

-Dirigió la Tesis Doctoral con Mención Europea titulada "Estimación de prestaciones para Exploración de Diseño en Sistemas Embebidos Complejos HW/SW" defendida por D. Héctor Posadas en Julio de 2011 y calificada con Apto "Cum-Laude" por unanimidad.

Participación en Congresos nacionales

- Presidencia de la sesión 5B: "Síntesis de alto nivel", VI Congreso de Diseño de Circuitos Integrados, Santander, Noviembre, 1991.
- Presidencia de la sesión CAD1: "Síntesis de alto nivel/CAD", VII Congreso de Diseño de Circuitos Integrados, Toledo, Noviembre, 1992.
- Presidencia de la sesión: "CART: Circuitos aritméticos", VIII Congreso de Diseño de Circuitos Integrados, Málaga, Noviembre, 1993.
- Presidencia de la sesión: "Síntesis de alto nivel", VIII Congreso de Diseño de Circuitos Integrados, Málaga, Noviembre, 1993.
- Presidencia de la sesión 4: "Análisis y optimización", IX Congreso de Diseño de Circuitos Integrados, Maspalomas, Noviembre, 1994.
- Presidencia de la sesión 22: "Diseño digital", IX Congreso de Diseño de Circuitos Integrados, Maspalomas, Noviembre, 1994.
- Presidencia de la sesión IN-7: "Industrial VHDL applications", XII Congreso de Diseño de Circuitos Integrados, Sevilla, Noviembre, 1997.

Participación en Congresos internacionales (114)

- E. VILLAR, M.A.ALLENDE & A.I.FERNANDEZ: "PLATINO: Advanced testing of Programmable Logic", EVEREST Workshop, Paris, January, 1991.
- Presidencia de la sesión 1B: "Synthesis-1", Second European Conference on VHDL Euro-VHDL'91, Stockholm, September, 1991.
- P. SANCHEZ & E. VILLAR: "PSAL2: A High-level VHDL synthesis program", Software demonstration at the Second European Conference on VHDL Euro-VHDL'91, Stockholm, September 8-11, 1991.
- Presidencia de la sesión 1: "Synthesis and modeling aspects", Spring'92 Meeting of the VHDL-Forum for CAD in Europe, Santander, April, 1992.
- Presidencia de la sesión: "Use of VHDL in synthesis", 1st European Design Automation Conference EuroDAC, Hamburg, September, 1992.
- P. SANCHEZ & E. VILLAR: "PSAL2: A High-level VHDL synthesis program", Software demonstration at the 1st European Design Automation Conference EuroDAC, Hamburg, September, 1992.
- P. SANCHEZ & E. VILLAR: "VHDL High-level synthesis and simulation", Software demonstration at the 1st European Design Automation Conference EuroDAC, Hamburg, September, 1992.

- P. SANCHEZ & E. VILLAR: "PSAL: High-level synthesis system", Software demonstration at the 3rd EUROCHIP Workshop, Grenoble, September, 1992.
- E. VILLAR, M.A.ALLENDE & A.I.FERNANDEZ: "PLATINO: Advanced testing of Programmable Logic", EVEREST CEC Review, Copenhagen, September, 1992.
- E. VILLAR, M.A.ALLENDE & A.I.FERNANDEZ: "PLATINO: Final results", EVEREST WP2 Meeting, EERIE, NIMES, December, 1992.
- Presidencia de la sesión: "Use of VHDL in an industrial project", Spring'93 Meeting of the VHDL-Forum for CAD in Europe, Innsbruck/Igls, April, 1993.
- E. VILLAR: "Spanish VHDL User's Group: "Objectives and activities", Spring'93 Meeting of the VHDL Forum for CAD in Europe, Innsbruck/Igls, April, 1993.
- Organizador de la sesión 4: "Testable Systems", IEEE Atlantic Test Workshop ATW'93, Hanover, New Hampshire, June, 1993.
- Presidencia de la sesión V-09: "Specification and simulation", Third European Conference on VHDL Euro-VHDL'93, Hamburg, September, 1993.
- Presidencia de la sesión: "User papers session", Fall'93 Meeting of the VHDL Forum for CAD in Europe, Hamburg, September, 1993.
- E. VILLAR: "Spanish VHDL User's Group: "Structure and activities", Fall'93 Meeting of the VHDL Forum for CAD in Europe, Hamburg, September, 1993.
- V. FERNANDEZ, P. SANCHEZ & E. VILLAR: "VHDL High-level synthesis and simulation", Software demonstration at the 4th EUROCHIP Workshop, Toledo, September, 1993.
- Participó como ponente en el panel "Hardware-Software co-design" organizado en la "First Asian Pacific Conference on Hardware Description Languages, Standards and Applications", Brisbane, Australia, Diciembre de 1993.
- Presidencia de la sesión: "National User's Groups session", Spring'94 Meeting of the VHDL Forum for CAD in Europe, Tremezzo, April, 1994.
- E. VILLAR: "Spanish VHDL User's Group activity report", Spring'94 Meeting of the VHDL Forum for CAD in Europe, Tremezzo, April, 1994.
- V. FERNANDEZ, P. SANCHEZ & E. VILLAR: "High Level Synthesis guided by Testability Measures", 1st International Test Synthesis Workshop, Santa Barbara, CA, USA, May, 1994.
- Presidencia de la sesión V-08: "VHDL and synthesis (II)", Fourth European Conference on VHDL Euro-VHDL'94, Grenoble, September, 1994.
- E. VILLAR: "Spanish VHDL User's Group activity report", Fall'94 Meeting of the VHDL Forum for CAD in Europe, Grenoble, September, 1994.
- Presidencia de la sesión: "FPGA modeling and synthesis", Spring'95 Meeting of the VHDL Forum for CAD in Europe, Nantes, April, 1995.
- Participó como ponente en el panel "Does synthesis need simulation?" organizado en el "Spring'95 Meeting of the VHDL Forum for CAD in Europe" en Abril de 1995.

- Impartió la conferencia invitada titulada "CAD tools for synthesis" en el IEEE International Symposium on Industrial Electronics, ISIE'95, celebrado en Atenas del 10 al 14 de Julio de 1995.
- Impartió la conferencia invitada titulada "Introduction to the synthesizability and interoperability of Hardware Description Languages" en el panel: "Future direction on synthesizability and interoperability of Hardware Description Languages" en la Conferencia SW'95, celebrado en Makuhari, Japón, del 29 de Agosto al 1 de Septiembre de 1995.
- Presidencia de la sesión V-09: "Verification and validation", Fifth European Conference on VHDL Euro-VHDL'95, Brighton, September, 1995.
- Fue organizador y presidente del panel V-10: "VHDL fault simulation: Why and when ?" organizado en la Fifth European Conference on VHDL (Euro-VHDL'95), Brighton, September, 1995.
- Fue organizador y presidente del panel: "National VHDL User's Groups: Achievements, needs and future" organizado en el Fall'96 VHDL User Forum in Europe, Geneva, September, 1996.
- Presidencia de la sesión V-04: "Fault modeling and design for testability", Sixth European Conference on VHDL Euro-VHDL'96, Geneva, September, 1996.
- Presidencia de la sesión de apertura: "Code reusability", en la "Spring'97 VHDL User's Forum in Europe Working Conference", Toledo, Abril, 1997.
- Presidencia de la sesión 6: "Reports on design and modeling experience", "2nd Workshop on Libraries, Component Modeling and Quality Assurance" Toledo, Abril, 1997.
- Moderador de la Sesión 2C: "Advanced techniques for VHDL design", en DATE'98, París, Febrero, 1998.
- A. ANTON, M. VEIGA, E. VILLAR, D.B. de VRIES, S. M. H. de GROOT: "ATM-AAL protocols", 7th HCM BELSIGN Workshop, Enschede, The Netherlands, May, 1998.
- E. VILLAR, M. VEIGA & M. GONZALEZ HARBOUR: "Embedded system specification and design using Ada and VHDL", First International Forum on Design Languages FDL'98, Lausanne, Switzerland, September, 1998.
- Presidencia de la sesión 4: "Synthesis", First International Forum on Design Languages FDL'98, Lausanne, Switzerland, September, 1998.
- E. VILLAR, D.B. de VRIES and S. M. H. de GROOT: "Functional design and Ada specification of the ATM sender for HW/SW co-design", 8th HCM BELSIGN Workshop, El Escorial, Spain, October, 1998.
- Presidencia de la sesión 3.1: "SDL", Second International Forum on Design Languages FDL'99, Lyon, France, September, 1999.
- Presidencia de la sesión 11: "VHDL applications", XIV Design of Circuits and Integrated Systems Conference, Palma de Mallorca, Noviembre, 1999.
- Presidencia de la sesión S5: "Standardization Initiatives: SystemC & Rosseta", Third International Forum on Design Languages FDL'00, Tübingen, Germany, September, 2000.
- Moderador de la sesión 2E: "VHDL applications", XV Design of Circuits and Integrated Systems Conference, Montpellier, November, 2000.

- Moderador de la sesión 1B: “New design methods with SystemC”, DATE’01, Munich, March, 2001.
- Organizador y Moderador del panel 3B: “C/C++: Progress or deadlock in SLD specification?”, DATE’01, Munich, March, 2001.
- Moderador de la sesión 5B: "Digital design", XVI Design of Circuits and Integrated Systems Conference, Porto, November, 2001.
- Moderador de la sesión 7E: “Object-Oriented System Specification and Design”, DATE’02, Paris, March, 2002.
- Presidencia de la sesión: “Opening & Invited Session”, Fourth International Forum on Design Languages FDL’02, Marseille, France, September, 2002.
- Impartió la conferencia invitada titulada "System-level reusability of microprocessor cores in a SystemC specification environment" en la MEDEA+ Design Automation Conference, Lago Maggiore, 23-25 October, 2002.
- E. VILLAR: "Real-Time análisis in SystemC", SW Demo en la MEDEA+ Design Automation Conference, celebrada en Lago Maggiore del 23 al 25 de Octubre de 2002.
- Organizador de la Sesión: “Programas Europeos de Investigación y Desarrollo en Tecnologías de la Información y las Comunicaciones: VI Programa Marco (IST) y Clusters EUREKA”, en la XVII Design of Circuits and Integrated Systems Conference, Santander, Noviembre 2002.
- Presidente de la “Plenary Session 3: Mobile communication technologies and systems beyond 3G”, en la XVII Design of Circuits and Integrated Systems Conference, Santander, Noviembre 2002.
- Moderador de la sesión 5A: “System Level Modelling”, DATE’03, Munich, March, 2003.
- Presidente de la “CSD Opening Session & Keynote Speaker”, in the Forum on Design Languages (FDL’03), Frankfurt, September 23-26, ECSI, 2003.
- Moderador del Panel: “Let’s have a look at the cristal ball – how will the design languages in 2010 look like?”, in the Forum on Design Languages (FDL’03), Frankfurt, September 23-26, ECSI, 2003.
- Impartió la conferencia invitada titulada "Reusability of microprocessor cores" en la MEDEA+ Design Automation Conference, Stuttgart, 4-7 November, 2003.
- Presidencia de la Session 6: “Embedded SoC Software Generation”, en la MEDEA+ Design Automation Conference, Stuttgart, 4-7 November, 2003.
- Moderador de la sesión 7D: "Real-Time Systems", XVIII Design of Circuits and Integrated Systems Conference, Ciudad Real, November, 2003.
- Impartió la conferencia titulada: “The MEDEA EDA Roadmap: HW-Dependent SW”, en el Friday Workshop: “Embedded systems research in Europe” en DATE’04, Paris, Febrero, 2004.
- Moderador de la sesión 6B: “System Modelling with UML”, DATE’05, Munich, March, 2005.

- Moderador de la sesión 42: “Embedded HW and System SW”, DAC’05, Anaheim, CA, USA, June, 2005.
- Impartió la conferencia invitada titulada "Hardware-dependent Software modeling and simulation with SystemC" en la MEDEA+ Design Automation Conference, Les Mesnuls, 24-26 May, 2005.
- Moderador de la session 2A: “Innovative Synthesis Methodologies and Algorithms”, CODES+ISSS 2005, Jersey City, USA, September 2005.
- Moderador de la session ELA-2: “System model of control, computation and communication”, in the Forum on Design Languages (FDL’05), Lausanne, September 27-30, ECSI, 2005.
- Moderador de la session CSD-2: “Heterogeneous models of computation”, in the Forum on Design Languages (FDL’05), Lausanne, September 27-30, ECSI, 2005.
- Impartió la conferencia titulada: “SystemC as an Heterogeneous System Specification Language”, en el ARTIST2 Workshop: “MoCC - Models of Computation and Communication” en ETH, Zurich, November 16-17, 2006.
- H. POSADAS, D. QUIJANO, E. VILLAR & M. MARTÍNEZ: "Scope: SoC co-simulation and performance estimation in SystemC", Software demonstration at the DATE’07 University Booth, Nice, April, 2007.
- Impartió la conferencia invitada titulada "SCoPE: HdS simulation for MpSoC with NoC" en la MEDEA+ Design Automation Conference, Grenoble, 22-24 May, 2007.
- Impartió la presentación invitada titulada " SystemC-AADL interoperability" en el ECSI Industrial Workshop: “System Design in Avionics and Space Industry”, celebrado en la Casa de Convalecencia, UAB, Barcelona, 18 de Septiembre de 2007.
- Organizador y Moderador de la Special Session: “System-Level Energy Optimization of Embedded Software”, at the 11th EuroMicro Conference on Digital System Design, DSD 2008, Parma, September, 2008.
- Presidente de la “Session 5B: Digital design techniques”, en la XXIII Design of Circuits and Integrated Systems Conference, Grenoble, Noviembre, 2008.
- R. VARONA-GÓMEZ & E. VILLAR: "AADS: AADL simulation and performance analysis in SystemC", Software demonstration at the DATE’09 University Booth, Nice, April, 2009.
- Moderador de la sesión 3.6: “Model-Based Design and HW/SW System Integration”, DATE’09, Nice, April, 2009.
- Moderador de la sesión 9.6: “Model-Based Design for Embedded Systems”, DATE’09, Nice, April, 2009.
- P. PEÑIL, E. VILLAR, H. POSADAS & J. MEDINA: "Executable SystemC specification of the MARTE generic concurrent and communication resources under different Models of Computation", Workshop on the Definition, evaluation, and exploitation of modeling and computing Standards for Real-Time Embedded Systems, STANDRTS’09. Satellite Workshop of

the 21st EuroMicro Conference on Real-Time Systems, Dublín, June, 2009.

- E. VILLAR: "SATURN presentation", Workshop on the Definition, evaluation, and exploitation of modeling and computing Standards for Real-Time Embedded Systems, STANDRTS'09. Satellite Workshop of the 21st EuroMicro Conference on Real-Time Systems, Dublín, June, 2009.

- C. FABRE, E. VILLAR & E. VAUMORIN: "Hardware-defined Software: Concepts & Architecture", 1st SoftSoC Workshop, Grenoble, October, 2009.

- F. PÉTROTT & E. VILLAR: "High Speed Multi-Processors System-On-Chip Simulation Platforms for Hardware Dependent Software Development", 1st SoftSoC Workshop, Grenoble, October, 2009.

- Co-Presidente de la Sesión "HW-SW Codesign", en la XXIV Conference on Design of Circuits and Integrated Systems, Zaragoza, Noviembre, 2009.

-E. VILLAR: "Formalization of the MARTE/SystemC interoperability for HW/SW co-design (Invited Speech)", Artist MoBE-RTES Workshop, Carmona (Sevilla), May 4, 2010.

-E. VILLAR: "SW simulation and Performance Analysis in Multi-Processing Embedded Systems (Invited Speech)", ARTEMIS Technology Conference, Budapest (Hungary), June 30, 2010.

- Organizador y Moderador de la Special Session: "System-Level Energy Optimization of Embedded Software", at the 13th EuroMicro Conference on Digital System Design, DSD 2010, Lille, September, 2010.

-Presidente de la Sesión: "LBSD4: Synthesis for SoC and Beyond", en el Forum on Design Languages (FDL'10), Southampton, September 14-16, ECSI, 2010.

- D. CALVO, P. GONZÁLEZ, H. POSADAS, P. SÁNCHEZ, E. VILLAR, A. ACQUAVIVA, E. MACII, C. PARRELLA & M. GIACONIA: "SCoPE: SystemC co-simulation and Performance Estimation: Application to Power and Thermal-Aware Design", Software demonstration at the DATE'11 University Booth, Grenoble, March, 2011.

- P. PEÑIL, F. HERRERA & E. VILLAR: "Towards SystemC Code Generation from UML/MARTE Concurrent System-Level Models", 2nd Workshop on Model Based Engineering for Embedded Systems Design, DATE 2011, Grenoble, 2011.

- F. HERRERA & E. VILLAR: "Generation of abstract IP/XACT Platform Descriptions from UML/MARTE for System-level Performance Estimation", 2nd Workshop on Model Based Engineering for Embedded Systems Design, DATE 2011, Grenoble, 2011.

- D. CALVO, P. BOTELLA, H. POSADAS, P. SÁNCHEZ & E. VILLAR: "Automatic Generation of HdS System Models for System Simulation using IP/XACT", Workshop W7: Hardware dependent Software solutions for SoC Design, DATE 2011, Grenoble, 2011.

-Presidente de la Sesión: "LBSD 2: Hurry up! - Speedy Simulation Techniques", en el Forum on Design Languages (FDL'11), Oldenburg, September 13-15, ECSI, 2011.

-E. VILLAR & H. POSADAS: "Native Power Estimation for Embedded System Design-Space Exploration", Invited Tutorial in PATMOS'11, Facultad de Informática, UCM, Madrid.

-E. VILLAR & H. POSADAS: "SW simulation technologies for virtual platforms", Class 6: "Embedded SW Development on Virtual Platforms - Ready for Prime Time?", Embedded World 2012, Nuremberg, 2012.

- Moderador de la sesión 9.6: "Creation and Processing of System-Level Models", DATE'12, Dresden, March, 2012.

- F. HERRERA, P. PEÑIL, E. VILLAR, F. FERRERO & R. VALENCIA: "The COMPLEX Eclipse framework for UML/MARTE Specification of Embedded Systems and automatic generation of executable models for Design-Space Exploration", Software demonstration at the DATE'12 University Booth, Dresden, March, 2012.

-Presidente de la Sesión: "EPDSD-3: Euroean Projects in DSD", en el Digital System Design Conference, DSD 2012, September 5-7, EuroMicro, 2012.

- E. VILLAR: "A MDD Methodology for the Specification and Performance Estimation of Embedded Systems", Tutorial B: Advanced Techniques for Power-Aware System-Level Prototyping, DATE'13, 2013.

-Participó como ponente en el panel "Embedding High-Performance Computing: A supercomputer in your pocket or ultra-low power exaflop design?" organizado en el Friday Workshop "W6 Designing for Embedded Parallal Computing Platforms: Architectures, Design Tools and Applications", DATE'13, 2013.

- Presidente de la Sesión "Embedded Design and SoC", en la XXVIII Conference on Design of Circuits and Integrated Systems, San Sebastian, Noviembre, 2013.

- L. LAVAGNO (POLITO), M. LAZARESCU (POLITO), H. POSADAS, A. NICOLÁS & E. VILLAR: "Parallel and Heterogeneous Architectures for Real-Time Applications", Software demonstration at the DATE'14 University Booth, Dresden, March, 2014.

- L. DIAZ, E. GONZÁLEZ, E. VILLAR, P. SÁNCHEZ: "VIPPE: Parallel simulation and performance analysis of complex embedded systems", HiPPES4CogApp: High Performance, Predictable Embedded Systems for Cognitive Application, HiPeak Workshop, Amsterdam, 2015.

- F. HERRERA & E. VILLAR: " CONTREP: A single-source framework for UML-based Modelling and Design of Mixed-Criticality Systems", Software demonstration at the DATE'16 University Booth, Dresden, March, 2016.

- F. HERRERA & E. VILLAR: "Fidelity of native-based performance models for Design Space Exploration", MiFi Workshop in DATE 2016, <http://www.date-conference.com/conference/workshop-w03>, 2016.

- E. VILLAR: "Modeling, Analysis, and Verification of Cyber-Physical Systems in the Electronics Century", Architecture-Centric Modeling, Analysis, and Verification of Cyber-Physical Systems Shonan Meeting, Kanagawa, Japan, March, 2016.

- E. VILLAR: Invited Tutorial: "Electronic System Modeling, Analysis and Design beyond Moore's Law: A forecast", Nanoelectronics, Applications, Design & Technology Conference, Grenoble, France, June, 2016.

-J. MEDINA & E. VILLAR: "Towards MARTE++: An Enhanced UML-based Language to Model and Analyse Real-Time and Embedded Systems for the IoT Age", Ponencia y Poster en el Forum on Specification and Design Languages, Verona, 2017.

- E. VILLAR: "Model-Driven Analysis and Design of IoT Systems", DATE Workshop W06: Embedded Software for Industrial IoTs, ESIIT 2018, Dresden, May, 2018.

- E. VILLAR: "Model-Driven Analysis of Security, Reliability, Test, Privacy, Safety and Trust of IoE Services", Surrealist Workshop of the IEEE European Test Symposium, Bremen, Germany, May, 2018.

-Participó como ponente en el panel "Safety, trust, privacy, security, reliability and test" organizado en el Surrealist Workshop of the IEEE European Test Symposium, Bremen, Germany, May, 2018.

- E. VILLAR: "Model-Driven Analysis and Design of Distributed, Heterogeneous Systems", Kick-Off Meeting of the ECSEL Fitoptivis project, Eindhoven, The Netherlands, June, 2018.

- Co-Presidente de la sesión 65: "Advancing Embedded beyond Functionality", DAC'18, San Francisco, CA, USA, June, 2018.

- Á. DÍAZ, E. VILLAR, P. SÁNCHEZ: "Integrated Framework for Reusable Multi-Level Embedded System Verification", Work-in-Progress Session, DAC, San Francisco. 2018.

- Presidente de la sesión S5A: "Cyberphysical Autonomous Systems", DCIS'18, Lyon, Francia, November, 2018.

- Presidente de la sesión 11.1: "MBD of Cyber-Physical SystemsSystem", DATE'19, Florencia, March, 2019.

- E. VILLAR: "Mega-Modeling and Model-Driven performance analysis of CPSoS", Invited Talk at Rapido'20, 12th HiPeac Workshop on Rapid Simulation and Performance Evaluation: Methods and Tools, Hipeac 2020, Bologna, Italy, January, 2020.

- E. VILLAR: " The Future of Electronics after the Pandemic: Real or Virtual", Panel at the XXXV Conference on Design of Circuits and Integrated Systems (DCIS) (virtual event), Segovia, 2020.

- E. VILLAR: "Model-Driven simulation and performance analysis of ROS-based systems", Invited Talk at DronES'21, 1st DroneSE: Drone Systems Engineering, HiPeac Workshop, Hipeac 2021 (virtual event), Budapest, Hungary, January, 2021.

- E. VILLAR: "Evolución Tecnológica: Amenazas a la privacidad", webinar organizado por la Pontificia Universidad de Católica de Ecuador, 27 de julio de 2021.

Publicaciones Electrónicas (1)

V. FERNÁNDEZ & E. VILLAR: "SystemC", in Alan Burns (Ed.): "ARTIST Survey of Programming Languages", <http://www.artist-embedded.org/artist/ARTIST-Survey-of-Programming.html>, 2008.

Publicaciones en Actas de Congresos nacionales (28)

-E. VILLAR y S. BRACHO: "Descripción y simulación mediante AHPL de un sistema microprocesador dual", Comunicaciones de la XIX Reunión Bienal de la R.S.E.F.Q., Santander, Pág.137-138, Septiembre, 1982.

-E. VILLAR y S. BRACHO: "Generación de tests para circuitos combinatoriales mediante la teoría de grafos q-diatómicos", Actas del V Congreso de Informática y Automática, Pág.657-660, Madrid, Mayo, 1982.

-M.A. ALLENDE, S. BRACHO y E. VILLAR: "Descripción y simulación de sistemas digitales en las etapas iniciales de diseño mediante las herramientas implementadas sobre el lenguaje DDL: Estudio de un filtro digital", Actas de las II Jornadas de Electrónica Militar, Pág.335-340, Madrid, Febrero, 1986.

-M.A. ALLENDE, S. BRACHO y E. VILLAR: "Modificación del sintetizador lógico DDLSYN para el diseño síndrome-testable", Actas de las IV Jornadas de Diseño Lógico, Pág.123-127, Barcelona, Abril, 1987.

-M.A. ALLENDE, E. VILLAR y S. BRACHO: "Automatic test generation techniques for PLAs: an Overview", Actas del IV Simposium Nacional de la Unión Científica Internacional de Radio, Vol.2, Pág.844-849, Santander, Septiembre, 1989.

-P. SANCHEZ, M.A. ALLENDE, M. MARTINEZ, F. LLACER Y E. VILLAR: "Estudio comparativo de dos Implementaciones de la Transformada rápida de Haar", Actas de las V Jornadas de Diseño de Circuitos Integrados, Pág.11-17, Huelva, Diciembre, 1989.

-E. VILLAR, M.A.ALLENDE & A.I.FERNANDEZ: "Verificación avanzada de dispositivos lógicos programables", Actas del VI Congreso de Diseño de Circuitos Integrados, Pág.491-496, Santander, Noviembre, 1991.

- E. RANDON; P. SANCHEZ & E. VILLAR: "Experiencia en el diseño de circuitos integrados en forma automática desde la descripción a nivel algorítmico hasta silicio", Actas del VI Congreso de Diseño de Circuitos Integrados, Pág.269-274, Santander, Noviembre, 1991.

- J.I. IZKARA; J. ARAUJO & E. VILLAR: "Unidad de control en lógica programable para coprocesador trigonométrico", Actas del VI Congreso de Diseño de Circuitos Integrados, Pág.527-528, Santander, Noviembre, 1991.

- L. ABRIL; J.R. AGUADO; J. AZCONA; L. ORTEGA; M.A. PEREZ; S. LOPEZ-VAZQUEZ; J.M. PRELLEZA; L.A. SANTIAGO & E. VILLAR: "Memoria digital de mensajes analógicos", Actas del VII Congreso de Diseño de Circuitos Integrados, Pág.495-6, Toledo, Noviembre, 1992.

- A.I. FERNANDEZ; M.A. ALLENDE & E. VILLAR: "Nuevas técnicas de generación de secuencias de test para circuitos secuenciales", Actas del VII Congreso de Diseño de Circuitos Integrados, Pág.273-7, Toledo, Noviembre, 1992.

- P. SANCHEZ & E. VILLAR: "Metodologías de diseño de circuitos integrados basadas en el uso de estándares", Actas del VII Congreso de Diseño de Circuitos Integrados, Pág.393-8, Toledo, Noviembre, 1992.

- J.M. CASTRO, R. CASTANEDA, T. CEPEDA, A. GARCIA, P. PEREZ, R. RESINES & E. VILLAR: "Generador digital de eco acústico", Actas del VIII Congreso de Diseño de Circuitos Integrados, Pág.520-521, Málaga, Noviembre, 1993.
- L. BERROJO, P. SANCHEZ & E. VILLAR: "Evaluación de estilos descriptivos VHDL a nivel RT en entornos de síntesis automática", Actas del VIII Congreso de Diseño de Circuitos Integrados, Pág.117-122, Málaga, Noviembre, 1993.
- P. TABUENCA, P. SANCHEZ & E. VILLAR: "Realización de un planificador inteligente para síntesis de alto nivel", Actas del VIII Congreso de Diseño de Circuitos Integrados, Pág.315-319, Málaga, Noviembre, 1993.
- V. FERNANDEZ, P. SANCHEZ & E. VILLAR: "Síntesis de alto nivel con criterios de testabilidad", Actas del VIII Congreso de Diseño de Circuitos Integrados, Pág.320-325, Málaga, Noviembre, 1993.
- COMITÉ PRENDA: "Proyecto para la especificación y normalización en el diseño de ASICs (PRENDA)", III Jornadas Técnicas de Calidad en Tecnologías Electrónicas, T.I+D, Madrid, Octubre, 1994.
- P. TABUENCA, P. SANCHEZ & E. VILLAR: "Sistema inteligente de exploración RT: Resultados y aplicaciones a la síntesis de sistemas", Actas del IX Congreso de Diseño de Circuitos Integrados, Pág.24-29, Maspalomas, Noviembre, 1994.
- I. HIDALGO, P. SANCHEZ & E. VILLAR: "Descripción de sistemas digitales con múltiples unidades de control en VHDL", Actas del IX Congreso de Diseño de Circuitos Integrados, Pág.30-35, Maspalomas, Noviembre, 1994.
- P. SANCHEZ & E. VILLAR: "Docencia del VHDL: Experiencia en la E.T.S.I. Industriales y de Telecomunicación de la universidad de Cantabria", Actas de las Jornadas de Tecnología Electrónica JTEC'95, Pág.293-8, Las Palmas, Febrero, 1995.
- I. GONZALEZ, E. VILLAR & S. BRACHO: "Inserción automática de estructuras BIST en entornos de síntesis usando VHDL", Actas del X Congreso de Diseño de Circuitos Integrados y Sistemas, Pág.301-5, Zaragoza, Noviembre, 1995.
- P. TABUENCA & E. VILLAR: "Entorno de co-diseño HW/SW basado en las herramientas CASTLE y FIRES: Uso de C y VHDL como lenguajes de especificación", Actas del X Congreso de Diseño de Circuitos Integrados y Sistemas, Pág.362-3, Zaragoza, Noviembre, 1995.
- COMITE PRENDA: "Importancia de una metodología para las nuevas técnicas de diseño de ASICs", Actas del X Congreso de Diseño de Circuitos Integrados y Sistemas, Pág.371-6, Zaragoza, Noviembre, 1995.
- F. HERRERA, R. RODRÍGUEZ, V. FERNÁNDEZ, P. SÁNCHEZ y E. VILLAR: "Desarrollo de metodologías industriales de diseño de sistemas embebidos HW/SW", Actas del 1^{er} Seminario del Programa Nacional de Tecnologías de la Información y las Comunicaciones, TEDEA 2000, Pág. 21-24, Almagro, Septiembre, 2000.
- F. HERRERA, P. PEÑIL, E. VILLAR, F. FERRERO y R. VALENCIA: "An Embedded System Modelling Methodology for Design Space Exploration", Actas de las III Jornadas de Computación Empotrada, Elche, Sarteco, 2012, ISBN: 978-84-695-44242.
- P. PEÑIL, H. POSADAS, A. NICOLÁS, E. VILLAR y D. CALVO (TED): "Code Synthesis of UML/MARTE models for physical platforms considering resource-specific optimised Codes",

Actas de las IV Jornadas de Computación Empotrada, Madrid, Sarteco, 2013, ISBN: 978-84-695-83173.

- L. DIAZ, E. GONZÁLEZ, E. VILLAR, P. SÁNCHEZ: "VIPPE: Native simulation and performance analysis framework for multi-processing embedded systems", Actas de las V Jornadas de Computación Empotrada, Valladolid, Sarteco, 2014, ISBN: 978-84-697-0972-6.

-F. HERRERA, P. PEÑIL, E. VILLAR: "UML/MARTE Modelling for Design Space Exploration of Mixed-Criticality Systems on top of Time-Predictable HW/SW Platforms", Actas de las VI Jornadas de Computación Empotrada, Córdoba, Sarteco, 2015, ISBN: 978-84-16017-546.

Publicaciones en Proceedings de Congresos internacionales (136)

-A. JAIME y E. VILLAR: "PALTEST: Generación automática del experimento de chequeo para PLDs", Actas del III Simposio de Electrónica das Telecomunicações, pp.A.7.20-23, Oporto, Mayo, 1988.

-A. JAIME & E. VILLAR: "SECUENTEST: Automatic generation of checking experiments for sequential machines", Proceedings of the II ABAKUS Workshop, pp.161-165, Innsbruck-Igls, September, 1988.

-P. SANCHEZ & E. VILLAR: "PSAL2: A high-level synthesis program", Proceedings of the IASTED International Symposium on Applied Informatics, pp.292-295, Innsbruck, February, 1990, ISBN: 0-88986-142-0.

-P. SANCHEZ & E. VILLAR: "An iterative-constructive technique for operation allocation in high-level synthesis", Proceedings of the IASTED International Symposium on Applied Informatics, pp.467-470, Innsbruck, February, 1990, ISBN: 0-88986-142-0.

-P. SANCHEZ; E. RANDON & E. VILLAR: "Some experiences in the use of VHDL in high-level synthesis", Proceedings of the First European Conference on VHDL, Vol.1, pp.63-74, Marsella, September 5-7, 1990.

-M.A. MORANTE, L. SAIZ DE QUEVEDO, P. TABUENCA, J.I. MARTINEZ & E. VILLAR: "Implementation of a linear array element for matrix multiplication", Proceedings of EURO-ASIC 91, París, IEEE Computer Society Press, May, 1991, pp.236-38, ISBN: 0-8186-2185-0.

-L. BERROJO; P. SANCHEZ & E. VILLAR: "High-level synthesis and simulation with VHDL", Proceedings of the Second European Conference on VHDL Euro-VHDL'91, Stockholm, September 8-11, 1991, pp.62-69.

-S. BRACHO; E. VILLAR; M. MARTINEZ; P. SANCHEZ; M.A. ALLENDE & B. RIOJA: "Design of processor and signal processor modules: Experience in VLSI design training in the University of Cantabria", Proceedings of the 2nd EUROCHIP Workshop, pp.37-42, Grenoble, September, 1991.

-E. CASINO; P. SANCHEZ & E. VILLAR: "A VHDL high-level simulator", Proceedings of the VHDL International User's Forum, Scottsdale, AZ, USA, May 3-6, 1992, pp.177-84.

-A. GUTIERREZ; P. SANCHEZ & E. VILLAR: "VHDL high-level silicon compilation: synthesis methodology and teaching experience", Proceedings of the 3rd EUROCHIP Workshop, pp.149-54, Grenoble, September, 1992.

- V. FERNANDEZ, P. SANCHEZ & E. VILLAR: "High Level Synthesis with Testability Criteria", Proceedings of the 2nd IEEE Annual Atlantic Test Workshop, USA, June, 1993.
- J. AYALA, V. GOMEZ, P. SANCHEZ & E. VILLAR: "ISPS to VHDL automatic translator: A comparative study of the VHDL and ISPS high-level modeling styles", Proceedings of the 1st Asian Pacific Conference on Hardware Description Languages, Standards and Applications, pp.146-50, Brisbane, December, 1993, ISBN: 0-444-81641-0.
- P. TABUENCA, P. SANCHEZ & E. VILLAR: "ULSB:A fast Scheduling and binding algorithm for unrestricted libraries inside a RT space exploration strategy", Proceedings of the 20rd EUROMICRO Conference, IEEE Computer Society Press, pp.200-207, Liverpool, England, 1994, ISBN 0-8186-6430-4.
- V. FERNANDEZ, P. SANCHEZ, M. GARCIA & E. VILLAR: "Fault modeling and injection in VITAL analysis", Proceedings of the 2nd North Atlantic Test Workshop, Nimes, France, July, 1994, pp.O.1-4.
- L. BERROJO, I. GONZALEZ & E. VILLAR: "Simulation-based VHDL design verifier", Proceedings of the 2nd Asian Pacific Conference on Hardware Description Languages, pp.81-84, Toyohashi, Japan, October, 1994.
- P. TABUENCA & E. VILLAR: "Integrating a design space exploration system for high-level synthesis into a HW/SW co-design environment", 1st HCM BELSIGN Workshop, Toledo, Spain, February, 1995.
- M. SELZ, W. ECKER & E. VILLAR: "VHDL synthesis description portability: The need for Level-x synthesis subsets", Proceedings of the Spring'95 Working Conference of the VHDL Forum for CAD in Europe, Nantes, France, April, 1995, pp.55-67.
- J.L. BARREDA, I. HIDALGO, V. FERNANDEZ, P. SANCHEZ & E. VILLAR: "Fault modeling in VITAL", Proceedings of the 1st Workshop on Libraries, component modeling and quality assurance, Nantes, France, April, 1995, pp.191-209.
- E. VILLAR & P. SANCHEZ: "CAD tools for synthesis", Proceedings of the IEEE International Symposium on Industrial Electronics, ISIE'95, Athens, Greece, July, 1995, pp.27-32, ISBN 0-7803-2683-0.
- V. FERNANDEZ, P. SANCHEZ & E. VILLAR: "A novel high-level allocation technique for test", Proceedings of the 4th IEEE Annual Atlantic Test Workshop, Cargèse, France, July, 1995.
- P. TABUENCA & E. VILLAR: "HW/SW co-design based on the CASTLE and FIRES tools: Methodology and application", Proceedings of the 2nd HCM BELSIGN Workshop, Duisburg, Germany, September, 1995.
- E. VILLAR: "VHDL in Spain", Proceedings of the VHDL International User's Forum, Santa Clara, CA, USA, February 28 - March 2, 1996, pp.201-212.
- J.L. BARREDA, P. SANCHEZ & E. VILLAR: "Current fault modeling in VITAL", Proceedings of the VHDL International User's Forum, Santa Clara, CA, USA, February 28 - March 2, 1996, pp.23-32.
- W. ECKER & E. VILLAR: "VHDL multi-wait descriptions for synthesis", Proceedings of the Spring'96 Working Conference of the VHDL Forum for CAD in Europe, Dresden, Germany, April, 1996, pp.59-69, ISBN: 3-8265-1462-9.

- E. NOVOA & E. VILLAR: "SPARC-based ASIP design", Proceedings of the 3rd HCM BELSIGN Workshop, Purticciu, France, April, 1996.
- H.W.A. TEUNISSEN, D.B. de VRIES, S.M. HEEMSTRA de GROOT, A. ANTON & E. VILLAR: "A flexible architecture for processing ATM adaptation layer protocols", Proceedings of the 4th HCM BELSIGN Workshop, Santander, Spain, October, 1996.
- A. ANTON, E. VILLAR, H.W.A. TEUNISSEN, D.B. de VRIES & S.M. HEEMSTRA de GROOT: "HW implementation of an architecture for processing ATM adaptation layer protocols", Proceedings of the 4th HCM BELSIGN Workshop, Santander, Spain, October, 1996.
- H.W.A. TEUNISSEN, D.B. de VRIES, S.M. HEEMSTRA de GROOT, A. ANTON & E. VILLAR: "Design of a high performance architecture for processing ATM adaptation layer protocols", Proceedings of the ProRISC/IEEE Workshop on Circuits, Systems and Signal Processing, Mierlo, The Netherlands, November, 1996.
- A. LÓPEZ, M. VEIGA, P. SANCHEZ & E. VILLAR: "ADA embedded system specification", Proceedings of the 5th HCM BELSIGN Workshop, Dresden, Germany, April, 1997.
- A. ANTON, E. VILLAR, S.M. HEEMSTRA de GROOT & D.B. de VRIES: "General Architecture for Processing ATM Adaptation Layer Protocols (AAL1-5)", Proceedings of the 5th HCM BELSIGN Workshop, Dresden, Germany, April, 1997.
- A. ANTON, E. VILLAR, S.M. HEEMSTRA de GROOT & D.B. de VRIES: "Flexible Architecture for Processing ATM Adaptation Layer Protocols (AAL1-5)", Proceedings of the First Electronic Circuits and Systems Conference, ECS'97, Bratislava, Slovakia, September 4-5, 1997.
- A. ANTON, E. VILLAR, D.B. de VRIES & S.M. HEEMSTRA de GROOT: "Design and functional description of a receiver for ATM Adaptation Layer Protocols", Proceedings the 6th HCM BELSIGN Workshop, Aveiro, Portugal, October 9-10, 1997.
- A. LÓPEZ, M. VEIGA, P. SANCHEZ & E. VILLAR: "ADA embedded system specification", Proceedings of the XII Design of Circuits and Integrated Systems Conference, Pág.389-94, Sevilla, Noviembre, 1997, ISBN: 84-88783-28-0.
- E. VILLAR and J.P. DESCHAMPS: "Ada to VHDL translation in HW/SW co-design", 8th HCM BELSIGN Workshop, El Escorial, Spain, October, 1998.
- A. ANTÓN, E. VILLAR, D.B. de VRIES & S.M. HEEMSTRA de GROOT: "Design and functional description of a sender and receiver for ATM adaptation layer protocols", Proceedings of the XIII Design of Circuits and Integrated Systems Conference, Pág.476-81, Madrid, November, 1998, ISBN: 84-606-8345-7.
- B. FOUCAULT, J.P.CALVEZ, X. LOBAO, S. OLCOZ & E. VILLAR: "CoMES: CoDesign Methodology for Embedded Systems", Proceedings European Multimedia, Microprocessor Systems and Electronic Commerce Conference, EMMSEC99, Stockholm, Sweden, June 1999.
- F. HERRERA, C. SANZ, I. UGARTE & E. VILLAR: "Specification Components: Reusability at the HW/SW system specification language", Proceedings of the VHDL International User's Forum, Orlando, FL, USA, October 4-6, 1999, IEEE Computer Society, pp.50-56, ISBN 0-7695-0334-9.

- F. HERRERA, C. CAMARGO & E. VILLAR: "Embedded system design methodology based on SystemC", Proceedings of the Forum on Design Languages (FDL'01), Lyon, September 3-6, 2001, ECSI, 2001.
- E. VILLAR: "A framework for specification and verification of timing constraints", Proceedings of the Forum on Design Languages (FDL'01), Lyon, September 3-6, 2001, ECSI, 2001.
- V. FERNÁNDEZ, E. VILLAR & F. HERRERA: "System-level specification in SystemC of a Residential Gateway", Proceedings of the XVI Design of Circuits and Integrated Systems Conference, pp. 691-6, Porto, November, 2001.
- F. HERRERA, P. SÁNCHEZ & E. VILLAR: "HW/SW interface implementation from SystemC for platform-based design", Proceedings of the Forum on Design Languages (FDL'02), Marseille, September 24-27, ECSI, 2002, ISSN: 1636-9874.
- F. BLASCO, E. VILLAR & F. HERRERA: "System-Level Dynamic Estimation of Time Performance for Codesign based on SystemC and HW/SW platform", Proceedings of the XVII Design of Circuits and Integrated Systems Conference, Servicio de Publicaciones de la Universidad de Cantabria, pp. 273-8, 2002, ISBN: 84-8102-311-6.
- E. VILLAR, S. LÓPEZ & M. BOLADO: "Design of first and second layers of a residential gateway ITD interface", Proceedings of the XVII Design of Circuits and Integrated Systems Conference, Servicio de Publicaciones de la Universidad de Cantabria, pp. 583-6, 2002, ISBN: 84-8102-311-6.
- F. HERRERA, H. POSADAS, P. SÁNCHEZ & E. VILLAR: "Systematic Embedded Software Generation from SystemC", Proceedings of DATE'03, IEEE CS Press, 2003, ISBN: 0-7695-1870-2.
- F. HERRERA, P. SÁNCHEZ & E. VILLAR: "Modeling and design of CSP, KPN and SR systems in SystemC", Proceedings of the Forum on Design Languages (FDL'03), Frankfurt, September 23-26, ECSI, 2003, ISSN: 1636-9874.
- E. VILLAR, P. SÁNCHEZ, F. BLASCO, M. RADETZKI, A. VÖRG & Y. WENHAO: "Reusability of Microprocessor cores", Proceedings of the MEDEA+ Design Automation Conference, Stuttgart, November, 2003.
- M. BOLADO, J. CASTILLO, H. POSADAS, P. SÁNCHEZ, E. VILLAR, C. SÁNCHEZ, F. BLASCO & H. FOUREN: "Using Open Source Cores in real applications", Proceedings of the XVIII Design of Circuits and Integrated Systems Conference, pp. 683-8, 2003, ISBN: 84-87087-40-X.
- H. POSADAS, F. HERRERA, P. SÁNCHEZ, E. VILLAR & F. BLASCO: "System-Level Performance Analysis in SystemC", Proceedings of DATE'04, IEEE CS Press, 2004, ISBN 0-7695-2085-5, pp.378-83.
- F. HERRERA, P. SÁNCHEZ & E. VILLAR: "Heterogeneous system-level specification in SystemC", Proceedings of the Forum on Design Languages (FDL'04), Lille, September 13-17. ECSI, 2004, ISSN: 1636-9874, pp. 404-15.
- F. HERRERA & E. VILLAR: "Mixing synchronous reactive and untimed models of computation in SystemC", Proceedings of the Forum on Design Languages (FDL'05), Lausanne, September 27-30. ECSI, 2005, ISSN: 1636-9874.

- H. POSADAS, E. VILLAR & F. BLASCO: "Real-Time Operating System modeling in SystemC for HW/SW co-simulation", Proceedings of the XX Design of Circuits and Integrated Systems Conference, 2005, ISBN: 972-99387-2-5.
- H. POSADAS, J. ADÁMEZ, P. SÁNCHEZ, E. VILLAR & F. BLASCO: "POSIX modeling in SystemC", Proceedings of the Asia and South Pacific Design Automation Conference, IEEE, 2006, ISBN: 0-7803-9451-8, pp.485-490.
- F. HERRERA & E. VILLAR: "A Framework for Embedded System Specification under Different Models of Computation in SystemC", Proceedings of DAC'06, ACM, 2006, ISBN: 1-59593-476-6.
- F. HERRERA, E. VILLAR: "Extension of the SystemC kernel for Simulation Coverage Improvement of System-Level Concurrent Specifications", Proceedings of the Forum on Design Languages (FDL'06), Darmstadt, September 19-22. ECSI, 2006, ISBN: 3-00-019710-9.
- H. POSADAS, D. QUIJANO, E. VILLAR, FRANCISCO ESCUDER (DS2), MARCOS MARTÍNEZ (DS2): "TLM interrupt modeling for HW/SW co-simulation in SystemC", Proceedings of the XXI Design of Circuits and Integrated Systems Conference, Barcelona, 2006, ISBN: 978-84-690-4144-4.
- A. HERRHOLZ, F. OPPENHEIMER, A. SCHALLENBERG, W. NEBEL, C. GRIMM, M. DAMM, F. HERRERA, E. VILLAR, A-M. FOULLIART, M. MARTÍNEZ: "ANDRES-ANalysis and Design of run-time REconfigurable, heterogeneous Systems", Proceedings of the Workshop on "Adaptive Heterogeneous Systems-On-Chip and European Dimensions" in the Design Automation and Test in Europe 2007, DATE'07.
- E. DE LAS HERAS & E. VILLAR: "Specification for SystemC-AADL interoperability", Proceedings of the 5th Workshop on Intelligent Solutions in Embedded Systems (WISES'07), UC3M, Madrid, June, IEEE, 2007, ISBN: 978-84-89315-47-1.
- A. HERRHOLZ, F. OPPENHEIMER, P.A. HARTMANN, A. SCHALLENBERG, W. NEBEL, C. GRIMM, M. DAMM, J. HAASE, F. BRAME, F. HERRERA, E. VILLAR, I. SANDER, A. JANTSCH, A.-M. FOULLIART, M. MARTÍNEZ: "The ANDRES project: Analysis and Design of Run-time REconfigurable, heterogeneous Systems", Proceedings of the 17th International Conference on Field Programmable Logic and Applications, Amsterdam, 2007, IEEE, ISBN: 1-4244-1060-6.
- H. POSADAS, D. QUIJANO, E. VILLAR & MARTÍNEZ: "Protocol Bus Modeling using inheritance with TLM2.0", Proceedings of the Forum on Design Languages 2007, FDL'07. Barcelona. ECSI 2007, ISBN: 978-2-9530504-0-0.
- F. HERRERA, E. VILLAR, C. GRIMM, M. DAMM, J. HAASE: "A general approach to the interoperability of HetSC and SystemC-AMS", Proceedings of the Forum on Design Languages 2007, FDL'07. Barcelona. ECSI 2007, ISBN: 978-2-9530504-0-0.
- J. HAASE, M. DAMM, C. GRIMM, F. HERRERA & E. VILLAR: "Using Converter Channels within a Top-Down Design Flow in SystemC", Proceedings of the 15th Austrian Workshop on Microelectronics, Graz, Austria. IEEE 2007, ISBN: 978-3-902465-87-0.
- J. CASTILLO, H. POSADAS, E. VILLAR & M. MARTÍNEZ: "Energy Consumption Estimation Technique in Embedded Processors with Stable Power Consumption based on Source-Code Operator Energy Figures", Proceedings of the XXII Conference on Design of Circuits and Integrated Systems, Seville, 2007, ISBN: 978-84690-8629-2.

- F. HERRERA, E. VILLAR & P. A. Hartmann: "Specification of HW/SW adaptive Embedded Systems in SystemC", Proceedings of the Forum on specification and Design Languages 2008, FDL'08, Stuttgart, ECSI 2008, ISBN: 978-1-4244-2266-1.
- R. VARONA & E. VILLAR: "AADL simulation and performance analysis in SystemC", Proceedings of the 14th IEEE International Conference on Engineering of Complex Computer Systems, Postdam, IEEE, 2009, ISBN: 978-0-7695-37023.
- H. POSADAS, G. DE MIGUEL, E. VILLAR: "Automatic generation of modifiable platform models in SystemC for Automatic System Architecture Exploration", Proceedings of the XXIV Conference on Design of Circuits and Integrated Systems, Zaragoza, 2009.
- F. HERRERA & E. VILLAR: "Local Application of Simulation Directed for Exhaustive Coverage of Schedulings in SystemC Specifications", Proceedings of the Forum on specification and Design Languages 2009, FDL'09, Sophia-Antipolis, IEEE 2010, ISSN: 1636-9874, eISBN: 978-2-9530504-1-7.
- H. POSADAS & E. VILLAR: "Modeling Separate Memory Spaces in Native Co-Simulation with SystemC for Design Space Exploration", Proceedings of the 2PARMA Workshop on Parallel Programming and Run-time Management Techniques for Many-core Architectures, 2PARMA'10, Hannover, VDE Verlag 2010, ISBN: 978-3-8007-3222-7.
- R. VARONA & E. VILLAR: "AADS+: AADL simulation including the Behavioral Annex", Proceedings of the 15th IEEE International Conference on Engineering of Complex Computer Systems, Oxford, IEEE, 2010, ISBN: 978-0-7695-40153.
- P. PEÑIL, H. POSADAS & E. VILLAR: "Formal modeling for UML/MARTE Concurrency Resources", Proceedings of the 15th IEEE International Conference on Engineering of Complex Computer Systems, Oxford, IEEE, 2010, ISBN: 978-0-7695-40153.
- H. POSADAS, E. VILLAR, D. RAGOT & M. MARTÍNEZ: "Early Modeling of Linux-based RTOS Platforms in a SystemC Time-Approximate Co-Simulation Environment", Proceedings of the 13th IEEE International Symposium on Object/Component/Service-Oriented Real-Time Distributed Computing, Carmona, IEEE, ISBN: 978-0-7695-4037-5, ISSN: 1555-0885.
- C. SILVANO, W. FORNACIARI, G. PALERMO, V. ZACCARIA, F. CASTRO, M. MARTINEZ, S. BOCCHIO, R. ZAFALON, P. AVASARE, G. VANMEERBEECK, C. YKMAN-COUVREUR, M. WOUTERS, C. KAVKA, L. ONESTI, A. TURCO, U. BONDI, G. MARIANI, H. POSADAS, E. VILLAR, C. WU, F. DONGRUI, Z. HAO AND T. SHIBIN: "MULTICUBE: Multi-Objective Design Space Exploration of Multi-Core Architectures", Proceedings of the IEEE Annual Symposium on VLSI, ISVLSI'10, IEEE, 2010, ISBN: 978-0-7695-4076-4.
- W. MUELLER, D. HE, F. MISCHKALLA, A. WEGELE, P. WHISTON, P. PEÑIL, E. VILLAR, N. MITAS, D. KRITHARIDIS, F. AZCARATE, M. CARBALLEDA: "The SATURN Approach to SysML-Based HW/SW Codesign", Proceedings of the IEEE Annual Symposium on VLSI, ISVLSI'10, IEEE, 2010, ISBN: 978-0-7695-4076-4.
- J. CASTILLO, H. Posadas, E. Villar & M. MARTÍNEZ: "Fast Instruction Cache Modeling for Approximate Time HW/SW Co-Simulation", Proceedings of the Great Lakes Symposium on VLSI 2010, Providence, Rhode Island, US, ACM, ISBN: 978-1-4503-0012-4.

- S. REAL, H. POSADAS & E. VILLAR: "L2 Cache modelling based on address modification for native co-simulation in SystemC", Proceedings of the IEEE Symposium on Industrial Embedded Systems 2010, Trento, Italia, US, IEEE, ISBN: 978-1-4244-5840-0.
- D. CALVO, E. VILLAR, A. AQUAVIVA, E. MACII: "An Approach For High-Level Thermal Modeling using Native Simulation", Proceedings of the WIP Session of the 13th EUROMICRO Conference on Digital Systems Design, 2010, Lille, France, ISBN: 978-3-902457-27-1.
- E. VILLAR, F. HERRERA & V. FERNANDEZ: "Formal support for untimed SystemC specifications: Application to high-level synthesis", Proceedings of the Forum on specification and Design Languages 2010, FDL'10, Southampton, ISSN: 1636-9874.
- P. PEÑIL, F. HERRERA & E. VILLAR: "Formal Foundations for MARTE-SystemC Interoperability", Proceedings of the Forum on specification and Design Languages 2010, FDL'10, Southampton, ISSN: 1636-9874.
- L. DÍAZ, H. POSADAS & E. VILLAR: "Obtaining Memory Address traces from Native co-simulation for Data Cache Modeling in SystemC", Proceedings of the XXV Conference on Design of Circuits and Integrated Systems, Lanzarote, 2010, ISBN: 978-84-693-7393-4.
- H. POSADAS & E. VILLAR: "Native co-simulation of TCP/IP-based Embedded Systems in SystemC", Proceedings of the XXV Conference on Design of Circuits and Integrated Systems, Lanzarote, 2010, ISBN: 978-84-693-7393-4.
- H. POSADAS, L. DIAZ & E. VILLAR: "Fast Data-Cache Modeling for Native Co-Simulation", Proceedings of the Asia and South Pacific Design Automation Conference, IEEE, 2011, ISBN: 978-1-4244-7514-8, pp. 425-430.
- R. VARONA, E. VILLAR & A-I. RODRÍGUEZ (GMV): "Ravenscar Computational Model compliant AADL Simulation on LEON2", Proceedings of the International Symposium on Information System and Software Engineering, ISSE'2011, IIS, 2011, ISBN: 978-1-936338-22-1.
- F. HERRERA & E. VILLAR: "A Framework for the Generation from UML/MARTE Models of IP-XACT HW Platform Descriptions for Multi-Level Performance", Proceedings of the Forum on specification and Design Languages 2011, FDL'11, Oldenburg, ISSN: 1636-9874.
- F. HERRERA, E. VILLAR & P. HARTMANN: "SystemC Refinement of Abstract Adaptive Processes for Implementation into Dynamically Reconfigurable Hardware", Proceedings of the Forum on specification and Design Languages 2011, FDL'11, Oldenburg, ISSN: 1636-9874.
- H. POSADAS & E. VILLAR: "Automatic Communication Modeling for Early Exploration of HW/SW Allocation Based on Native Co-simulation", Proceedings of the XXVI Conference on Design of Circuits and Integrated Systems, 2011, Faro, 2011, ISBN: 978-9729918131.
- K. GRÜTTNER, P.A. HARTMANN, K. HYLLA, S. ROSINGER, W. NEBEL, F. HERRERA, E. VILLAR, C. BRANDOLESE, W. FORNIACIARI, G. PALERMO, C. YKMAN-COUVREUR, D. QUAGLIA, F. FERRERO & R. VALENCIA: "COMPLEX: COdesign and power Management in PLatform-based design space EXploration (Invited Paper)", Proceedings of the 15th Conference on Digital System Design, IEEE, 2012, ISBN: 978-0-7695-4798-5.
- F. HERRERA, H. POSADAS, E. VILLAR & D.CALVO: "Enhanced IP-XACT Platform Descriptions for Automatic Generation from UML/MARTE of Fast Performance Models for DSE", Proceedings of the 15th Conference on Digital System Design, IEEE, 2012, ISBN: 978-0-7695-4798-5.

- F. HERRERA, P. PEÑIL, H. POSADAS & E. VILLAR: "A Model-Driven Methodology for the Development of SystemC Executable Environments", Proceedings of the 2012 Forum on specification and Design Languages, FDL'12, Vienna, IEEE, 2012, ISBN: 978-2-9530504-55.

- P. PEÑIL, H. POSADAS, A. NICOLÁS & E. VILLAR: "Automatic synthesis from UML/MARTE models using channel semantics", Proceedings of the International Workshop on Model Based Architecting and Construction of Embedded Systems, ACES-MB 2012, ACM, ISBN: 1-58113-000-0010.

- H. POSADAS, P. PEÑIL, A. NICOLÁS & E. VILLAR: "UML/MARTE methodology for high-level system estimation and optimal synthesis", Proceedings of MeCoES - Metamodeling and Code Generation for Embedded Systems, ESWeek, Tampere, Finland, 2012.

- F. HERRERA, H. POSADAS, P. PEÑIL, E. VILLAR, F. FERRERO & R. VALENCIA: "A MDD Methodology for Specification of Embedded Systems and Automatic Generation of Fast Configurable and Executable Performance Models", ESWeek 2012 Compilation Proceedings, CoDes+ISSS'12, Tampere, ACM, 2012. ISBN: 978-1-4503-1423-7.

F. HERRERA, H. POSADAS, P. PEÑIL, E. VILLAR, F. FERRERO (GMV), R. VALENCIA (GMV): "The CompleX Eclipse Framework for UML/MARTE Specification and design Space Exploration of Embedded Systems", Proceedings of the 2012 Conference on Design & Architectures for Signal & Image Processing, DASIP'12, IEEE, 2012. ISBN: 978-2-9539987-26.

- H. POSADAS & E. VILLAR: "Using Technical Documents as Support for Developing Competences in HW/SW Design", Proceedings of the IEEE International Symposium on Computers in Education, SIIE 2012, Andorra, October, IEEE, 2012, ISBN: 978-84-939814-71.

- H. POSADAS, P. PEÑIL, A. NICOLÁS & E. VILLAR: "Automatic synthesis of Embedded SW Communications from UML/MARTE models supporting memory-space separation", Proceedings of the XXVII Conference on Design of Circuits and Integrated Systems, 2012, Avignon, ISBN: 978-2-95174611-4.

- H. POSADAS, P. PEÑIL, A. NICOLÁS & E. VILLAR: "System synthesis from UML/MARTE models: The PHARAON approach", Proceedings of the 2013 Electronic System Level Synthesis Conference, Austin, IEEE 2013, ISBN: 978-1-46736414-0.

- R. FERNÁNDEZ, H. POSADAS & E. VILLAR: "Early performance evaluation of Multi-OS embedded platforms using native simulation", Proceedings of the 16th Conference on Digital System Design, IEEE, 2013, ISBN: 978-0-7695-5074-9.

- H. POSADAS, E. VILLAR, F. BROEKAERT (TCS), M. BOURDELLES (TCS), A. COHEN (INRIA), A. POP (INRIA), N. M. LÊ (INRIA), A. GUATTO (INRIA), M. T. LAZARESCU (POLITO), LUCIANO LAVAGNO (POLITO), A. TERECHKO (VF), M. GLASSEE (IMEC), D. CALVO (TED) & E. DE LAS HERAS (TED): "EU FP7-288307 PHARAON project: Parallel and heterogeneous architecture for real-time applications", Proceedings of the 16th Conference on Digital System Design, IEEE, 2013, ISBN: 978-0-7695-5074-9.

- A. NICOLÁS, H. POSADAS, P. PEÑIL & E. VILLAR: "Automatic Concurrency generation through Communication Data Splitting based on UML-MARTE Models", Proceedings of the XXVIII Conference on Design of Circuits and Integrated Systems, San Sebastian, Noviembre, IEEE, 2013, ISBN: 978-84-8081-401-0.

- E. EBEID (UVer.), F. FUMMI (UVer.), D. QUAGLIA (UVer.), H. POSADAS & E. VILLAR: "A Framework for Design-Space Exploration and Performance Analysis of Networked

Embedded Systems", Proceedings of the 6th Workshop on Rapid Simulation and Performance Evaluation: Methods and Tools, ACM, 2014, ISBN: 978-1-4503-2471-7, doi: 10.1145/2555486.2555488.

- A. NICOLÁS, P. PEÑIL, H. POSADAS AND E. VILLAR: "Automatic Synthesis over Multiple APIs from Uml/Marte Models for Easy Platform Mapping and Reuse", proc. of the 17th Euromicro Conference on Digital System Design, Verona, September, IEEE, 2014, ISBN: 978-1-4799-5793-4, doi: 10.1109/DSD.2014.48.

- A. NICOLÁS, P. PEÑIL, H. POSADAS, E. VILLAR: "Automatic Deployment of Component-Based Embedded Systems From UML/MARTE Models Using MCAPI", Proceedings of the XXIX Conference on Design of Circuits and Integrated Systems, Madrid, November, IEEE, 2014, ISBN: 978-1-4799-5743-9, DOI: 10.1109/DCIS.2014.7035575.

- H. POSADAS, F. HERRERA and E. VILLAR: "Using JIGSAW-type collaborative learning for integrating foreign students in embedded system engineering", Proceedings of the XXIX Conference on Design of Circuits and Integrated Systems, Madrid, November, IEEE, 2014, ISBN: 978-1-4799-5743-9, DOI: 10.1109/DCIS.2014.7035558.

- L. DIAZ, E. GONZÁLEZ, E. VILLAR and P. SANCHEZ: "VIPPE, parallel simulation and performance analysis of multi-core embedded systems on multi-core platforms", Proceedings of the XXIX Conference on Design of Circuits and Integrated Systems, Madrid, November, IEEE, 2014, ISBN: 978-1-4799-57439, DOI: 10.1109/DCIS.2014.7035584.

-F. HERRERA, P. PEÑIL, E. VILLAR: "Enhancing Analyzability and Time Predictability in UML/MARTE Component-based Application Models", Proceedings of the Forum on specification & Design Languages (FDL 2015), IEEE, 2015, ISBN: 978-1-4673-7735-6.

- F. HERRERA, P. PEÑIL & E. VILLAR: "A model-based, single-source approach to design-space exploration and synthesis of mixed-criticality systems", Proceedings of the 18th International Workshop on Software and Compilers for Embedded Systems, SCoPES 2015, pp. 88-91, ACM, ISBN: 978-1-4503-3593-5, DOI: 10.1145/2764967.2784777.

- P. PEÑIL, H. POSADAS, J. MEDINA and E. VILLAR: "UML-Based Single-Source Approach for Evaluation and Optimization of Mixed-Critical Embedded Systems", Proceedings of the XXX Conference on Design of Circuits and Integrated Systems, DCIS 2015, IEEE, 2015, ISBN: 978-1-4673-7228-2.

- A. QUEVEDO, G. CALLICO, S. LÓPEZ, R. SARMIENTO, A. NICOLÁS, P. SÁNCHEZ and E. VILLAR: "System Level Methodology based on VIPPE applied to the implementation of a Scalable Video Decoder on the ZynQ platform", Proceedings of the XXX Conference on Design of Circuits and Integrated Systems, DCIS 2015, IEEE, 2015, ISBN: 978-1-4673-7228-2.

- H. POSADAS and E. VILLAR: "Using Professional Design Contests for the Development of Realistic Teaching Activities in Embedded Systems Design", Proceedings of the IEEE International Symposium on Computers in Education, SIIE 2015, IEEE, 2015, ISBN: 978-1-5090-1435-4.

- R. GÖRGEN, K. GRÜTTNER, F. HERRERA, P. PEÑIL, J. MEDINA, E. VILLAR, G. PALERMO, W. FORNACIARI, C. BRANDOLESE, D. GADIOLI, S. BOCCHIO, L. CEVA, P. AZZONI, M. PONCINO, S. VINCO, E. MACII, S. CUSENZA, J. FAVARO, R. VALENCIA, I. SANDER, K. ROSVALL and D. QUAGLIA: "CONTREX: Design of Embedded Mixed-Criticality CONTRol Systems under Consideration of EXtra-Functional Properties", Proceedings 19th Euromicro Conference on Digital System Design, DSD 2016, IEEE, 2016, ISBN: 978-1-5090-2816-0.

- Á. DÍAZ, D. PEÑA and E. VILLAR: "Short and long distance marker detection technique in outdoor and indoor environments for embedded systems", Proceedings of the XXXII Conference on Design of Circuits and Integrated Systems, DCIS 2017, IEEE, 2017, ISBN: 978-1-5386-5108-7.
- H. POSADAS, L. DÍAZ and E. VILLAR: "Static Write Buffer Cache Modeling to Increase Host-Compiled Simulation Accuracy", Proceedings of the 20th Euromicro Conference on Digital System Design, Vienna, September, IEEE, 2017, ISBN: 978-1-5386-2145-5, doi: 10.1109/DSD.2017.84.
- H. POSADAS, E. VILLAR AND M. SANCHEZ-RENEDO: "Accelerating Host-Compiled Simulation by Modifying IR Code: Industrial application in the spatial domain", proc. of the XXXIV Conference on Design of Circuits and Integrated Systems (DCIS), Bilbao, Spain, 2019, pp. 1-6.
- V. MUTTILLO, G. VALENTE, L. POMANTE, H. POSADAS, J. MERINO, E. VILLAR: "Run-time Monitoring and Trace Analysis Methodology for Component-based Embedded Systems Design Flow", IEEE proc. of the 2020 Conference on Digital System Design, DSD'2020, IEEE 2020.
- M. HUSSEIN, R. NOUACER, Y. OUHAMMOU, E. VILLAR, F. CORRADI, C. TIERI, R. CASTIÑEIRA: "Key Enabling Technologies for Drones", IEEE proc. of the 2020 Conference on Digital System Design, DSD'2020, IEEE 2020.
- H. POSADAS, J. MERINO, E. VILLAR: "Data flow analysis from UML/MARTE models based on binary traces", proc. of the XXXV Conference on Design of Circuits and Integrated Systems (DCIS), 2020.
- J. MERINO, R. GOMEZ, H. POSADAS & E. VILLAR: "Modeling and Performance Estimation of Robotic Systems using ROS: Application to drone-based Services", Proceedings of the Forum on specification & Design Languages (FDL 2021), IEEE, 2021.
- J. MERINO, R. GOMEZ, H. POSADAS & E. VILLAR: "Multilevel host-compiled simulation framework for ROS-based UAV services using ArduCopter", proc. of the XXXVI Conference on Design of Circuits and Integrated Systems (DCIS), 2021.
- R. NOUACER, M. HUSSEIN, P. DETTERER, E. VILLAR, F. HERRERA, C. TIERI, AND E. GROLLEAU: "Towards a European Network of Enabling Technologies for Drones", in Proceedings of the DroneSE and RAPIDO: System Engineering for constrained embedded systems, ACM, 2023.

Publicaciones en Revistas nacionales (4)

- S. BRACHO, J.M. SOLANA y E. VILLAR: "Verificación de sistemas digitales: Una panorámica", Revista de Informática y Automática, Abril-Junio, Pág.7-24, 1985, ISSN 0214-932X.
- P. SANCHEZ y E. VILLAR: "Análisis y síntesis de sistemas digitales descritos a nivel algorítmico", Revista de Informática y Automática, Vol.24-1, Octubre, 1991, pp.34-39, ISSN 0214-932X.
- E. VILLAR y C. DELGADO KLOOS: "VHDL: El lenguaje estándar de diseño electrónico", Novática, Noviembre 1994 - Febrero 1995, N° 112-113, pp.20-24, 0211-2124, ISSN: 0211-2124.

- H. POSADAS y E. VILLAR: "Uso de Recursos Profesionales en la Enseñanza del Desarrollo de SW Embebido", VAEP-RITA V.4, N.1, Marzo, 2016, ISSN 2255-5706.

Publicaciones en Revistas internacionales (39)

-E. VILLAR and S. BRACHO: "Checking sequences for the Control Unit in digital circuits described by means of Register Transfer Languages (Invited Paper)", Int. Journal of Electronics, V.59, N°.1, pp.19-31, 1985, ISSN 0020-7217.

-E. VILLAR and S. BRACHO: "Fault simulation and Test generation in Combinational Circuits using Atomic Digraphs", Int. Journal of Electronics, V.59, N°.4, pp.461-470, 1985, ISSN 0020-7217.

-E. VILLAR and S. BRACHO: "Test generation for digital circuits described by means of Register Transfer Languages", IEE Proceedings-E, V.134, N°.2, March, pp.69-77, 1987, ISSN 0143-7062.

-S. BRACHO; E. VILLAR; M. MARTINEZ; P. SANCHEZ and M.A. ALLENDE: " VLSI Design Training and Education in the University of Cantabria within EUROCHIP", IEE Proceedings-G, V.139, N°.2, April, pp.234-40, 1992, ISSN 0956-3768.

-E. RANDON; P. SANCHEZ and E. VILLAR: "ESP: A structure synthesis program", Microprocessing and Microprogramming 34, N.1-5, 1992, North-Holland, pp.143-146, ISSN 0165-6074.

-E.VILLAR: "VHDL User's Group of Spain", The VHDL Newsletter, N.11, July, 1993, pp.11.

-E.VILLAR: "Spanish VHDL User's Group", The VHDL Newsletter, N.16, December, 1994, pp.9-10.

-E.VILLAR: "Objectives and activities of the European VHDL Synthesis Working Group (EVSWG)", The VHDL Newsletter, N.18, June, 1995, pp.9-10.

-E.VILLAR: "The Level-0 VHDL Synthesis Syntax and Semantics - 1st Part", The VHDL Newsletter, N.19, October, 1995, pp.10-11.

-E.VILLAR: "The Level-0 VHDL Synthesis Syntax and Semantics - 2nd Part", The VHDL Newsletter, N.20, December, 1995, pp.1 and 12.

-M. SELZ, W. ECKER and E. VILLAR: "VHDL synthesis description portability: The need for Level-x synthesis subsets", Journal of System Architecture 42, North-Holland, 1996, pp.105-116, ISSN 1383-7621/0165-6074.

-M. IMAI and E. VILLAR: "ASPDAC 1995: HDL synthesizability and interoperability", Panel Summaries, IEEE Design & Test of Computers, Springer, 1996, pp.3-4, ISSN: 0740-7475.

-H.W.A. TEUNISSEN, D.B. de VRIES, S.M. HEEMSTRA de GROOT, A. ANTON and E. VILLAR: "Design of a flexible architecture for processing ATM adaptation layer protocols", CTIT Technical Report series, N° 96-40, University of Twente, The Netherlands, 1996, ISSN 1381-3625.

- E. VILLAR: "Associate Centers: University of Cantabria, Faculty of Industrial and Telecommunication Engineering, Microelectronics Engineering Group", ECSI Letter, N.15, April, 1998, pp.3.
- P. TABUENCA, P. SANCHEZ and E. VILLAR: "An algorithm for clock cycle selection in behavioral synthesis", Journal of Systems Architecture, V.44, N.9-10, June, 1998, pp. 773-786, North-Holland, ISSN 1383-7621/0165-6074.
- A. ANTON, E. VILLAR, D.B. de VRIES and S. M. HEEMSTRA de GROOT: "Flexible architecture for processing ATM adaptation layer protocols (AAL1-5)", Journal of Electrical Engineering, V.49, N.3-4, 1998, IEEE, ISSN 0013-578X.
- G. GORLA, E. MOSER, W. NEBEL and E. VILLAR: "System specification experiments on a common benchmark", Design & Test of Computers, July-September, 2000, pp.22-32, IEEE, ISSN: 0740-7475.
- E.VILLAR: "FDL 2002", The ECSI Letter, N.28, December, 2002, pp.5.
- H. POSADAS, F. HERRERA, V. FERNÁNDEZ, P. SANCHEZ and E. VILLAR: "Single Source Design Environment for Embedded Systems Based on SystemC", Journal on Design Automation for Embedded Systems, V.9, N.4, December 2004, pp.293-312, Springer, ISSN: 0929-5585.
- H. POSADAS, J. ADÁMEZ, E. VILLAR, FRANCISCO ESCUDER (DS2) and FRANCISCO BLASCO (DS2): "RTOS modeling in SystemC for Real-Time embedded SW simulation: A POSIX model", Design Automation for Embedded Systems, V.10, N.4, December 2005, pp.209-227, Springer, ISBN: 0929-5585.
- F. HERRERA and E. VILLAR: "A Framework for Heterogeneous Specification and Design of Electronic Embedded Systems in SystemC" Transactions on Design Automation of Electronic Systems, V.12, Issue 3, N.22, 2007, ACM, ISBN; 1084-4309.
- C. GRIMM, A. JANTSCH, S. SHUKLA and E. VILLAR: "Editorial: C-Based Design of Heterogeneous Embedded Systems", EURASIP Journal on Embedded Systems. Special Issue, "C-Based Design of Heterogeneous Embedded Systems", Hindawi Publishing, 2008, e-ISSN: 1687-3963.
- M. DAMM, J. HAASE, C. GRIMM, F. HERRERA and E. VILLAR: "Bridging MoCs in SystemC Specifications of Heterogeneous Systems", EURASIP Journal on Embedded Systems. Special Issue "C-Based Design of Heterogeneous Embedded Systems", Hindawi Publishing, 2008, e-ISSN: 1687-3963.
- P. PEÑIL, J. MEDINA (CTR), H. POSADAS and E. VILLAR: "Generating Heterogeneous Executable Specifications in SystemC from UML/MARTE Models", Innovations in Systems and Software Engineering, Springer, 2009, ISSN: 1614-5046.
- D. CALVO, P. GONZÁLEZ, L. DÍAZ, H. POSADAS, P. SÁNCHEZ, E. VILLAR, A. ACQUAVIVA and E. MACII: "A Multi-Processing Systems-on-Chip Native Simulation Framework for Power and Thermal-Aware Design", Journal of Low Power Electronics, V.7, N.1, pp. 2-16, American Scientific Publishers, 2011, ISSN: 1546-1998, 2011.
- H. POSADAS, E. VILLAR, D. RAGOT and M. MARTINEZ: "Early, time-approximate modeling of multi-OS linux platforms in a systemC co-simulation environment", Int. Journal on Computer Systems Science & Engineering, V.26, N.6, CRL Publishing, 2011, ISSN: 0267-6192.

- F. HERRERA, I. UGARTE and E. VILLAR: "Towards automated implementation of adaptive systems from abstract SystemC specifications", *Design Automation of Embedded Systems*, November, 2012, Springer, ISSN: 0929-5585.
- R. VARONA, E. VILLAR, A-I. RODRÍGUEZ, F. FERRERO and E. ALAÑA (GMV): "Architectural Optimization & Design of Embedded Systems based on AADL Performance Analysis", *American Journal of Computer Architecture*, V.1, N.2, Scientific & Academic Publishing, 2012, ISSN: pending.
- K. GRÜTTNER, P.A. HARTMANN, K. HYLLA, S. ROSINGER, W. NEBEL, F. HERRERA, E. VILLAR, C. BRANDOLESE, W. FORNACIARI, G. PALERMO, C. YKMAN-COUVREUR, D. QUAGLIA, F. FERRERO (GMV) and R. VALENCIA (GMV): "The COMPLEX reference framework for HW/SW co-design and power management supporting platform-based design-space exploration", *Microprocessors and Microsystems*, V.37, N.8-C, Elsevier, pp.966-80, 2013, ISSN: 0141-9331.
- H. POSADAS, P. PEÑIL, A. NICOLÁS and E. VILLAR: "Automatic synthesis of embedded SW for evaluating physical implementation alternatives from UML/MARTE models supporting memory space separation", *Microelectronics Journal*, Available online 28 November 2013, Elsevier, ISSN: 0026-2692, pp.1-11.
- F. HERRERA, H. POSADAS, P. PEÑIL, E. VILLAR, F. FERRERO (GMV), R. VALENCIA (GMV) and G. PALERMO: "The COMPLEX methodology for UML/MARTE modeling and design-space exploration of embedded systems", *Journal of Systems Architecture*, V.60, N.1, Elsevier, 2014, pp.55–78, ISSN: 1383-7621.
- H. POSADAS, A. NICOLÁS, P. PEÑIL, E. VILLAR, F. BROEKAERT, M. BOURDELLES, A. COHEN, M. T. LAZARESCU, L. LAVAGNO, A. TERECHKO, M. GLASSE and M. PRIETO: "Improving the Design Flow for Parallel and Heterogeneous Architectures running Real-Time applications: The PHARAON FP7 project", *Microprocessors and Microsystems*, V.38, I.8, Part B, pp. 960–975, Elsevier, 2014, ISSN: 0141-9331.
- H. POSADAS, P. PEÑIL, A. NICOLÁS and E. VILLAR: "Automatic synthesis of embedded SW for evaluating physical implementation alternatives from UML/MARTE models supporting memory space separation", *Microelectronics Journal*, V.45, I.10, pp.1281–1291, doi: 10.1016/j.mejo.2013.11.003, Elsevier, 2014, ISSN: 0026-2692.
- H. POSADAS, P. PEÑIL, A. NICOLÁS and E. VILLAR: "Automatic synthesis of communication and concurrency for exploring component-based system implementations considering UML channel semantics", *Journal of System Architecture*, V.61, N.8, pp.341–360, Elsevier, 2015, ISSN: 1383-7621.
- J. WAN, C-F. LAI, S. MAO and E. VILLAR: "Editorial: Innovative circuit and system design methodologies for green cyber-physical systems", *Microprocessors and Microsystems*, V.39, Elsevier, 2015, pp. 1231–1233, ISSN: 0141-9331.
- H. POSADAS and E. VILLAR: " Using Professional Resources for Teaching Embedded SW Development", *IEEE Revista Iberoamericana de Tecnologías del Aprendizaje*, IEEE Revista Iberoamericana de Tecnologías del Aprendizaje, V. 11, I. 4, IEEE, 2016, pp. 248 – 255, ISSN: 1932-8540.

- H. HASSAN, L. T. YANG, J. XUE and E. VILLAR: "Special issue on: "Heterogeneous architectures for Cyber-physical systems (HACPS)", *Microprocessors and Microsystems*, V.52, Elsevier, 2017, pp. 333–334, ISSN: 0141-9331.

- K. GRÜTTNER, R. GÖRGEN, S. SCHREINER, F. HERRERA, P. PEÑIL, J. MEDINA, E. VILLAR, G. PALERMO, W. FORNACIARI, C. BRANDOLESE, D. GADIOLI, E. VITALI, D. ZONI, S. BOCCHIO, L. CEVA, P. AZZONI, M. PONCINO, S. VINCO, E. MACII, S. CUSENZA, J. FAVARO, R. VALENCIA, I. SANDER, K. ROSVALL, N. KHALILZAD and D. QUAGLIA: "CONTREX: Design of embedded mixed-criticality CONTROL systems under consideration of EXtra-functional properties", *Microprocessors and Microsystems*, V.51, pp. 39-55, doi=10.1016/j.micpro.2017.03.012, ISSN: 0141-9331, 2017.

- H. HASSAN, L. T. YANG, J. XUE & E. VILLAR: "Special issue on: Heterogeneous architectures for Cyber-physical systems (HACPS)", *Microprocessors and Microsystems*, V.52, 2017, pp. 333-334.

- E. Villar, J. Merino, H. Posadas, R. Henia & L. Rioux: "Mega-modeling of complex, distributed, heterogeneous CPS systems", *Microprocessors and Microsystems*, V.78, 2020, doi.org/10.1016/j.micpro.2020.103244.

- M. Hussein, R. Nouacer, F. Corradi, Y. Ouhammou, E. Villar, C. Tieri, R. Castiñeira: "Key technologies for safe and autonomous drones", *Microprocessors and Microsystems*, V.87, Elsevier, 2021, doi.org/10.1016/j.micpro.2021.104348.

Libros (6)

-LL. TERÉS, Y. TORROJA, S. OLCÓZ Y E. VILLAR: "VHDL: Lenguaje estándar de diseño electrónico", McGraw-Hill, 1997, ISBN 84-481-1196-6.

-E. VILLAR: "Design of HW/SW embedded systems", Servicio de Publicaciones de la Universidad de Cantabria, 2001, ISBN 84-8102-284-5.

- A. MIGNOTTE, E. VILLAR & L. HOROBIN: "System on Chip Design Languages: Best of FDL'01 & HDLCon'01", Kluwer, 2002, ISBN 1-4020-7046-2.

- E. VILLAR & J. MERMET: "System Specification and Design Languages: Best of FDL'02", Kluwer, 2003, ISBN 1-4020-7414-X.

- E. VILLAR: "Embedded Systems Specification and Design Languages: Selected papers from FDL'07", Springer, 2008, ISBN: 978-1-4020-8296-2.

- C. SILVANO, W. FORNACIARI AND E. VILLAR (Eds.): "Multi-Objective Design Space Exploration for Multiprocessor SoC Architectures", Springer, 2011, ISBN: 978-1-4419-8836-2.

Capítulos de Libros (28)

-E. VILLAR & P. SANCHEZ: "Synthesis applications of VHDL", in "Fundamentals and standards in hardware description languages", edited by J. Mermet, Kluwer, 1993, pp.231-262, ISBN 0-7923-2513-3.

-E. VILLAR & P. SANCHEZ: "Síntesis", en "VHDL: Lenguaje estándar de diseño electrónico", editado por Lluís Terés, Y. Torroja, S. Olcóz y E. Villar, McGraw-Hill, 1997, ISBN 84-481-1196-6.

-E. VILLAR & M. VEIGA: "Embedded system specification", in "Advanced techniques for embedded system design and test", edited by J.C. López, R. Hermida and W. Geisselhardt, Kluwer, 1998, ISBN 0-7923-8128-9.

-E. VILLAR & A. LÓPEZ: "Especificación de sistemas embebidos", en "Sistemas digitales: Elementos para un diseño de alto nivel", editado por A. García, Ediciones Uniandes, 1999, ISBN 958-695-016-6.

-A. LÓPEZ, M. VEIGA & E. VILLAR: "Hardware/Software embedded system specification and design using Ada and VHDL", in "Reliable Software Technologies-Ada-Europe'1999, edited by M. González Harbour and J.A. de la Puente, Springer-Verlag, 1999, ISBN 3-540-66093-3.

-E. VILLAR: "Specification of complex HW/SW embedded systems", in "Design of HW/SW embedded systems", editado por E. Villar, Servicio de Publicaciones de la Universidad de Cantabria, 2001, ISBN 84-8102-284-5.

-E. VILLAR: "A framework for specification and verification of timing constraints", in "System on Chip Design Languages: Best of FDL'01 & HDLCon'01", edited by A. Mignotte, E. Villar and L. Horobin, Kluwer, 2002, ISBN 1-4020-7046-2, pp.267-74.

-F. HERRERA, V. FERNÁNDEZ, P. SANCHEZ y E. VILLAR: "Embedded Software Generation from SystemC for Platform Based Design", in W. Mueller, W. Rosenstiel & J. Ruf: "SystemC Methodologies and Applications", Kluwer, 2003, ISBN 1-4020-7479-4, pp.247-72.

-F. HERRERA, H. POSADAS, P. SANCHEZ y E. VILLAR: "Systematic embedded software generation from SystemC", in A. Jerraya, S. Yoo, D. Verkest & N. Wehn (Eds.): "Embedded Software for SoC", Kluwer, 2003, pp.83-94, ISBN 1-4020-7528-6.

-F. HERRERA, P. SÁNCHEZ & E. VILLAR: "Modeling and design of CSP, KPN and SR systems in SystemC", in C. Grimm (Ed.): "Languages for System Specification", CHDL Series, Kluwer, 2004, ISBN: 1-4020-7990-7.

-F. HERRERA, P. SÁNCHEZ & E. VILLAR: "Heterogeneous system-level specification in SystemC", in P. Boulet (Ed.): "Advances in Design and Specification Languages for SoC", CHDL Series, Springer, 2005, pp.199-216, ISBN: 0-387-26149-4.

- E. VILLAR: "Introduction", in P. Boulet (Ed.): "Advances in Design and Specification Languages for SoC", CHDL Series, Springer, 2005, pp.181, ISBN: 0-387-26149-4.

-F. HERRERA & E. VILLAR: "Mixing Synchronous Reactive and Untimed MoCs in SystemC", in A. Vachoux (Ed.): "Applications of Specification and Design Languages for SoCs", CHDL Series, Springer, 2006, ISBN: 1-4020-4997-8.

-F. HERRERA, E. VILLAR, C.GRIMM, M.DAMM, J.HAASE: "Heterogeneous Specification with HetSC and SystemC-AMS. Widening the support of MoCs in SystemC", in E. Villar (Ed.): "Embedded Systems Specification and Design Languages", CHDL Series, Springer, 2008, ISBN: 978-1-4020-8296-2.

-H. POSADAS, J. CASTILLO, D. QUIJANO, V. FERNÁNDEZ, E. VILLAR, M. MARTÍNEZ: "SystemC Platform Modeling for Behavioral Simulation and Performance Estimation of Embedded Systems", in L. Gomes and J. M. Fernandes (Eds.): "Behavioral Modeling for

Embedded Systems and Technologies: Applications for Design and Implementation", IGI Global, 2009, ISBN: 978-1-60566-750-8.

- H. POSADAS AND E. VILLAR: "Automatic HW/SW interface modeling for scratch-pad & memory mapped HW components in native source-code co-simulation", (Best Paper Award), in A. Rettberg, M. Zanella, M. Amann, M. Keckeiser & F. Rammig (Eds.): "Analysis, Architectures and Modelling of Embedded Systems", Springer, 2009, ISBN: 978-3-642-04283-6.

- C. SILVANO, W. FORNACIARI, G. PALERMO, V. ZACCARIA, F. CASTRO, M. MARTINEZ, S. BOCCHIO, R. ZAFALON, P. AVASARE, G. VANMEERBEECK, C. YKMAN-COUVREUR, M. WOUTERS, C. KAVKA, L. ONESTI, A. TURCO, U. BONDI, G. MARIANI, H. POSADAS, E. VILLAR, C. WU, F. DONGRUI, Z. HAO AND T. SHIBIN: "MULTICUBE: Multi-Objective Design Space Exploration of Multi-Core Architectures", in N. Voros, A. Mukherjee, N. Sklavos, K. Masselos, M. Huebner (Eds.): "VLSI 2010 Annual Symposium Selected Papers", Lecture Notes in Electrical Engineering, V.57, pp. 47-63, Springer, 2011, ISBN: 978-94-007-1487-8.

- W. MUELLER, D. HE, F. MISCHKALLA, A. WEGELE, A. LARKHAM, P. WHISTON, P. PEÑIL, E. VILLAR, N. MITAS, D. KRITHARIDIS, F. AZCARATE, M. CARBALLEDA: "The SATURN Approach to SysML-Based HW/SW Codesign", in N. Voros, A. Mukherjee, N. Sklavos, K. Masselos, M. Huebner (Eds.): "VLSI 2010 Annual Symposium Selected Papers", Lecture Notes in Electrical Engineering, V.57, pp. 151-164, Springer, 2011, ISBN: 978-94-007-1487-8.

- C. SILVANO, W. FORNACIARI, G. PALERMO, V. ZACCARIA, F. CASTRO, M. MARTINEZ, S. BOCCHIO, R. ZAFALON, P. AVASARE, G. VANMEERBEECK, C. YKMAN-COUVREUR, M. WOUTERS, C. KAVKA, L. ONESTI, A. TURCO, U. BONDI, G. MARIANI, H. POSADAS, E. VILLAR, C. WU, F. DONGRUI AND Z. HAO: "The MULTICUBE Design Flow", in C. Silvano, W. Fornaciari and E. Villar (Eds.): "Multi-Objective Design Space Exploration for Multiprocessor SoC Architectures", Springer, 2011, ISBN: 978-1-4419-8836-2.

- H. POSADAS, S. REAL AND E. VILLAR: "M3-SCoPE: Performance Modeling of Multi-Processor Embedded Systems for Fast Design Space Exploration", in C. Silvano, W. Fornaciari and E. Villar (Eds.): "Multi-Objective Design Space Exploration for Multiprocessor SoC Architectures", Springer, 2011, ISBN: 978-1-4419-8836-2.

- M. MARTÍNEZ, D. FERÚZ, H. POSADAS AND E. VILLAR: "High-Level Modeling and Exploration of a Powerline Communication Network Based on System-on-Chip", in C. Silvano, W. Fornaciari and E. Villar (Eds.): "Multi-Objective Design Space Exploration for Multiprocessor SoC Architectures", Springer, 2011, ISBN: 978-1-4419-8836-2.

- P. PEÑIL, F. HERRERA AND E. VILLAR: "Formal Foundations for the Generation of Heterogeneous Executable Specifications in SystemC from UML/MARTE Models", in Kiyofumi Tanaka: "Embedded Systems - Theory and Design Methodology", InTech, Croatia, 2012, ISBN: 978-953-51-01673.

- H. POSADAS, A. DÍAZ AND E. VILLAR: "SW Annotation Techniques and RTOS Modeling for Native Simulation of Heterogeneous Embedded Systems", in Kiyofumi Tanaka: "Embedded Systems - Theory and Design Methodology", InTech, Croatia, 2012, ISBN: 978-953-51-01673.

- P. PEÑIL, F. HERRERA & E. VILLAR: "Formal Support for Untimed MARTE-SystemC Interoperability", in T. Kazmierski & A. Morawiec (Eds.): "Systems Specification and Design Languages", Lecture Notes in Electrical Engineering, V.106, Springer, 2012, ISBN: 978-1-4614-1427-8.

- F. HERRERA, P. PEÑIL, H. POSADAS, E. VILLAR: "Model-Driven Methodology for the Development of Multi-level Executable Environments", in J. Haase (Ed.): "Models, Methods and Tools for Complex Chip Design", Lecture Notes in Electrical Engineering, V.265, Springer, 2014, ISBN: 978-3-319-01418-0.

- P. MARTINEZ AND E. VILLAR: "Positioning system for recreated-reality applications based on high-performance video processing", in A. Molnos and C. Fabre (Eds): "Model-Implementation Fidelity in Cyber Physical System Design", Springer, 2017. ISBN 978-3-319-47306-2.

- F. MALLETT, E. VILLAR, F. HERRERA: "MARTE for CPS and CPSoS", in S. Nakajima, J.P. Talpin, M. Toyoshima and H. Yu (Eds.): "Cyber-Physical System Design from an Architecture Analysis Viewpoint: Communications of NII Shonan Meetings", Springer, pp.81-108, doi="10.1007/978-981-10-4436-6. 2017.

- F. HERRERA, J. MEDINA, E. VILLAR: "Modeling Hardware/Software Embedded Systems with UML/MARTE: A Single-Source Design approach", in S. Ha and J. Teich (Eds): "Handbook of Hardware/Software Codesign", Springer, 2017. ISBN 978-94-017-7268-6.

Patentes

- H. POSADAS, L. DIAZ & E. VILLAR: "Método y sistema de modelado de memoria caché", Oficina Española de Patentes y Marcas, OEPM, ES2381961, 2013.

- E. VILLAR, P. MARTÍNEZ, F. ALCALÁ, P. SÁNCHEZ & V. FERNÁNDEZ: "Método y sistema de localización espacial mediante marcadores luminosos para cualquier ambiente", Oficina Española de Patentes y Marcas, OEPM, ES 2 543 038 B2, 2015.

Informes, Estudios y Dictámenes por encargo desde 1988 hasta 2012 (86)

-"Estudio sobre identificación de circuitos CUSTOM para tratamiento digital de imagen y su viabilidad de diseño", presentado a TELEFONICA S.A. dentro del proyecto del mismo nombre realizado para TELEFONICA S.A. en 1988.

-"Memoria de Previabilidad", presentada a la Subdirección General de Tecnología e Investigación (SDG-TCIM) del Ministerio de Defensa dentro del proyecto: "Memorias digitales de alta velocidad para radio-frecuencia" realizado para la Subdirección General del Ministerio de Defensa en 1988.

-"Recopilación bibliográfica sobre técnicas de verificación de PLAs", presentado a T.I+D en Enero de 1989 dentro del proyecto "Implementación de algoritmos y estructuras de test para circuitos integrados VLSI" financiado por T.I+D.

-"Técnicas de verificación de PLAs", presentado a T.I+D en Enero de 1989 dentro del proyecto "Implementación de algoritmos y estructuras de test para circuitos integrados VLSI" financiado por T.I+D.

-"Modelado de fallos en PLAs", presentado a T.I+D en Mayo de 1989 dentro del proyecto "Implementación de algoritmos y estructuras de test para circuitos integrados VLSI" financiado por T.I+D.

- "Análisis bibliográfico final. Conclusiones y trabajo futuro", presentado a T.I+D en Julio de 1989 dentro del proyecto "Implementación de algoritmos y estructuras de test para circuitos integrados VLSI" financiado por T.I+D.

- F. Calvo, M. Escudero, E. Villar & M.A. Allende: "Evaluation and development of fault models and algorithms for testing PLAs without using additional logic", CEC Deliverable 4.2.1.A of the ESPRIT 2318 EVEREST project, July, 1990.

- E. Villar, M.A. Allende y A. Fernandez: "Preliminary evaluation of algorithms for testing PLDs", presentado a T.I+D y SIEMENS en Enero de 1991 dentro del proyecto ESPRIT EVEREST.

- E. Villar, M.A. Allende y A. Fernandez: "Evaluation and development of algorithms for testing sequential PLDs", CEC Deliverable 4.2.1.H of the ESPRIT 2318 EVEREST project, March, 1991.

- E. Randon y E. Villar: "Técnicas de evaluación de sistemas digitales en síntesis de alto nivel inteligente", Documento Entregable del proyecto TIC91-0242, Enero, 1992.

- P. Sánchez y E. Villar: "Algoritmos de síntesis de alto nivel en un entorno de diseño inteligente", Documento Entregable del proyecto TIC91-0242, Enero, 1992.

- E. Villar, M.A. Allende & A.I. Fernández: "Evaluation of PLDTest Plus v.2.0 from DATA I/O", Internal report UC-0004-TN of the ESPRIT 2318 EVEREST project, February, 1992.

- E. Villar, M.A. Allende y A. Fernandez: "PLATINO: ATPG program for PLDs", CEC Deliverable 4.2.1.B of the ESPRIT 2318 EVEREST project, July, 1992.

- E. Villar, M.A. Allende y A. Fernandez: "PLATINO: Documentation and user's guide", CEC Deliverable 4.2.1.C of the ESPRIT 2318 EVEREST project, July, 1992.

- E. Villar & P. Sánchez: "VHDL high-level description methodology", Internal Report IR_UC_2.1_43_g of the ESPRIT 2072 ECIP project, July, 1992.

- E. Villar, M.A. Allende y A. Fernandez: "Final Report and results", CEC Deliverable 4.2.1.G of the ESPRIT 2318 EVEREST project, January, 1993.

- E. Villar & P. Sánchez: "VHDL high-level simulation methodology", Internal Report IR_UC_2.1_49_n of the ESPRIT 2072 ECIP project, February, 1993.

- P. Tabuenca y E. Villar: "Definición de las estrategias de síntesis inteligente", Documento Entregable del proyecto TIC91-0242, Julio, 1993.

- L. Entrena, S. Olcoz, J. Flandois, P. Sánchez, E. Villar & T. Riesgo: "Report on test standardization activities", Deliverable 2151 of the ESPRIT 8370 ESIP project, January, 1994.

- P. Tabuenca y E. Villar: "Planteamiento general de los problemas asociados al diseño ASIC", Documento Entregable PRENDA/ENT/T1.1-01/UCN del proyecto GAME PRENDA, Febrero, 1994.

- E. Villar, L. Berrojo, A. Debreil, B. Fjellborg, M. Mentés, C-W. Lee & N. Jansson: "Standardization activities: The synthesis package", Deliverable 203 of the ESPRIT 8370 ESIP project, July, 1994.

- L. Entrena, S. Olcoz, J. Flandois, P. Sánchez, E.Villar & T. Riesgo: "Report on test standardization activities", Deliverable 2152 of the ESPRIT 8370 ESIP project, July, 1994.
- E.Villar & A. Debreil: "Synthesis and formal proof language support", CENELEC TC117 report, September, 1994.
- Comité PRENDA: "Guía de referencia general de la metodología", Documento entregable del proyecto GAME PRENDA, Octubre, 1994.
- E.Villar & M. Altmäe: "Language requirements for high-level synthesis", CENELEC TC117 report, January, 1995.
- L. Entrena, S. Olcoz, J. Flandois, P. Sánchez, E.Villar & T. Riesgo: "Report on test standardization activities", Deliverable 2153 of the ESPRIT 8370 ESIP project, January, 1995.
- P. Tabuenca y E.Villar: "FIRES: Herramienta VHDL de síntesis de alto nivel", Documento Entregable del proyecto TIC91-0242, Febrero, 1995.
- Comité PRENDA: "Metodología para el diseño de ASICs", Documento Entregable PRENDA/ENT/T14-01/CON del proyecto GAME PRENDA, Febrero, 1995.
- L. Entrena, L. Berrojo, S. Olcoz, P. Sánchez, E.Villar, J. Uceda & T. Riesgo: "Report on logic and RTL fault modeling", Deliverable 214 of the ESPRIT 8370 ESIP project, Marzo, 1995.
- P. Tabuenca, E.Villar, L. Muñoz y R. Sanz: "Estudio de viabilidad de la implementación ASIC", Documento Final del proyecto GAME "Análisis de viabilidad de un ASIC para chasis de baja", Marzo, 1995.
- L. Entrena, S. Olcoz, J. Flandois, P. Sánchez, E.Villar & T. Riesgo: "Report on test standardization activities", Deliverable 2154 of the ESPRIT 8370 ESIP project, July, 1995.
- L. Entrena, S. Olcoz, P. Sánchez, E.Villar, J. Uceda & T. Riesgo: "Final report on the achievements of the ESIP fault modeling and simulation activity", Deliverable 216 of the ESPRIT 8370 ESIP project, September, 1995.
- E.Villar: "Part of Standardization activities: The synthesis package", Part 1, Vol.I, Deliverable 204 of the ESPRIT 8370 ESIP project, October, 1995.
- E.Villar: "Level-0 VHDL synthesis syntax and semantics", Technical report of the ESPRIT 8370 ESIP project, December, 1995.
- E.Villar: "Level-0 VHDL synthesis syntax and semantics", CENELEC TC117 ENV, December, 1995.
- P. Tabuenca, E. Villar, H. Veit & H.T. Vierhaus: "HS/SW co-design environment based on the CASTLE and FIRES tools: Use of C and VHDL as specification language, SYDIS Publications 1993-1995, GMD, February, 1996.
- E.Villar, P. Sánchez y E. Novoa: "Guía de uso de VHDL en síntesis", Documento Entregable del proyecto GAME PRENDA, Abril, 1996.
- E. Villar: "Documento de conclusiones", Documento Entregable PRENDA/BOR/T1.4.00/UCN del proyecto GAME PRENDA, Mayo, 1996.

- P. Sánchez, R. Mozuelos y E. Villar: "Plan de pruebas de la placa FORMAT", Documento Entregable del proyecto "Verificación de tarjeta digital FORMAT", Marzo, 1998.
- J.P. Deschamp and E. Villar: "Generation of Synthesizable VHDL from the Ada system specification in HW/SW co-design", Technical Report of the HCM BELSIGN Project ERB CHRX-CT94-0459, October, 1998.
- V. Fernández, P. Sánchez y E. Villar: "DVB Multiplexer Internal Specification", Documento Entregable del proyecto "Payload Interface Unit (Nueva Generación)", Noviembre, 1998.
- M.A. Allende, R. Mozuelos y E. Villar: "Plan de pruebas de la placa FORMAT-STU", Documento Entregable del proyecto "Verificación de tarjeta digital FORMAT-STU", Marzo, 1999.
- M.A. Allende, R. Mozuelos y E. Villar: "Plan de pruebas de la placa SAD", Documento Entregable del proyecto "Verificación de tarjeta digital SAD", Septiembre, 1999.
- A. López y E. Villar: "Contribución al Deliverable D.1.3.B: "Tools survey and first selection"", Deliverable D.1.3.B of the ESPRIT 26971 CoMES project, October, 1998.
- A. López y E. Villar: "Contribución al Deliverable D.1.3.C: "Back-end tools evaluation"", Deliverable D.1.3.C of the ESPRIT 26971 CoMES project, April, 1999.
- E. Villar: "Contribución al Deliverable D.2.2.A: "Functional design of the case study"", Deliverable D.2.2.A of the ESPRIT 26971 CoMES project, April, 1999.
- R. Rodríguez y E. Villar: "Contribución al Deliverable D.3.1.A: "Specification of the case study detailed design"", Deliverable D.3.1.A of the ESPRIT 26971 CoMES project, September, 1999.
- R. Rodríguez y E. Villar: "Contribución al Deliverable D.2.2.B: "Architecture design and performance evaluation"", Deliverable D.2.2.B of the ESPRIT 26971 CoMES project, October, 1999.
- R. Rodríguez y E. Villar: "Contribución al Deliverable D.3.1.B: "Evaluation of co-simulation of the space application"", Deliverable D.3.1.B of the ESPRIT 26971 CoMES project, December, 1999.
- R. Mozuelos, M.A. Allende y E. Villar: "Resultados del Plan de pruebas de la placa SAD", Documento Entregable del proyecto "Verificación de tarjeta digital SAD", Marzo, 2000.
- R. Mozuelos, M.A. Allende y E. Villar: "Resultados del Plan de pruebas de la placa SAD (Tarjeta VDA500, SN 110714)", Documento Entregable del proyecto "Verificación de tarjeta digital SAD", Junio, 2000.
- R. Rodríguez y E. Villar: "Metodología de co-diseño", Documento Entregable R1 del proyecto FEDER 1FD97-0791, Junio, 2000.
- R. Rodríguez y E. Villar: "Interfaz para línea telefónica", Reporte Interno N1 del proyecto FEDER 1FD97-0791, Octubre, 2000.
- F. Herrera, V. Fernández, R. Rodríguez, P. Sánchez y E. Villar: "Especificación del demostrador industrial", Documento Entregable R2-C1 del proyecto FEDER 1FD97-0791, Octubre, 2000.
- V. Fernández, F. Herrera y E. Villar: "Especificación ejecutable del demostrador industrial", Documento Entregable R2-C2 del proyecto FEDER 1FD97-0791, Abril, 2001.

- V. Fernández, F. Herrera, P. Sánchez y E. Villar: "Conclusiones: Metodología industrial de diseño de sistemas embebidos HW/SW", Documento Entregable DF del proyecto FEDER 1FD97-0791, Febrero, 2002.
- I. Ugarte, P. Sánchez y E. Villar: " Metodología de verificación y diseño para testabilidad digital", Documento Entregable R3 del proyecto FEDER 1FD97-0791, Marzo, 2002.
- F. Herrera, P. Sánchez y E. Villar: "Comparative study for the selection of the processor core for SystemC specification", UC/ToolIP/IR/01 Internal Report of the Medea+ A511 TOOLIP Project, June, 2002.
- F. Herrera, P. Sánchez y E. Villar: "First draft of the library for microprocessor core analysis", UC/ToolIP/IR/02 Internal Report of the Medea+ A511 TOOLIP Project, June, 2002.
- F. Herrera, H. Posadas y E. Villar: "Documento de requisitos técnicos de la biblioteca de perfilado", UC/ToolIP/IR/03 Internal Report of the Medea+ A511 TOOLIP Project, Noviembre, 2002.
- H. Posadas, F. Herrera, P. Sánchez y E. Villar: "Library for microprocessor core analysis", UC-T1.3-Q4/02 Deliverable of the Medea+ A511 TOOLIP Project, December, 2002.
- M. Bolado, J. Castillo, C. Sánchez, H. Posadas y P. Sánchez: "Functional specification of a microprocessor core", UC-T2.1-Q4/02 Deliverable of the Medea+ A511 TOOLIP Project, December, 2002.
- M. Bolado, J. Castillo, P. Huerta, H. Posadas y P. Sánchez: Executable specification of a microprocessor core", UC-T2.1-Q3/03 Deliverable of the Medea+ A511 TOOLIP Project, September, 2003.
- H. Posadas, J. A. Ádamez y E. Villar: "Requirements and definition of a common simulation environment: University of Cantabria contribution (First draft)", Preliminar_DS2_D2.5.2 Deliverable of the ITEA IP03002 Merced Project, December, 2004.
- H. Posadas, J. A. Ádamez y E. Villar: "Requirements for a 'trying' environment in System context", D2.5.1 Deliverable of the ITEA IP03002 Merced Project, June, 2005.
- D. Quijano, H. Posadas, P. Sánchez, E. Villar & M. Martínez: "Specification of HdS modeling methodology", DS2-T3.4-Q2/06 Deliverable of the Medea+ 2A708 LoMoSa+ Project, June, 2006.
- H. Posadas, J. Adamez, E. Villar & E. Arias: "SystemC Execution Support Implementation", D3.8.1 Deliverable of the ITEA IP 03002 Merced Project, June, 2006.
- F. Herrera, E. Villar, Cristoph Grimm (TUV), Ingo Sanders (KTH), Axel Jantsch (KTH): "Methodology for Specification of Adaptivity", Deliverable D1.1a of the FP6 IST 5-033511 ANDRES Project, November, 2006.
- E. de las Heras & E. Villar: "UC Contribution to D2.1: Definition of Semantic for AADL", deliverable D2.1 of the ITEA 05015 Spices project, February, 2007.

- F. Herrera, E. Villar: "Modeling of Software. Initial Library elements", Deliverable D1.2a of the FP6 IST 5-033511 ANDRES Project, June, 2007.
- J. Castillo, H. Posadas, D. Quijano, P. Sánchez, E. Villar: "HdS modeling library", DS2-T3.4-Q2/07 Deliverable of the Medea+ 2A708 LoMoSa+ Project, June, 2007.
- R. Varona, E. Villar: "AADS (AADL SystemC Simulator)", Deliverable D3.4.1: "SystemC Generator - first release", of the ITEA 05015 Spices Project, April, 2008.
- P. Peñil, E. Villar, et. al.: "State-of-Art Analysis for Embedded Systems design", Deliverable D3.1 of the FP7-216807 SATURN Project, June, 2008.
- K. Gruettner, A. Herrholz, Philipp A. Hartmann, F. Herrera, E. Villar: "Interface Synthesis Concept", Deliverable D2.3a of the FP6 IST 5-033511 ANDRES Project, June, 2008.
- P. Peñil, E. Villar, et. al.: "Baseline for MDA-based modeling and code generation", Deliverable D4.1 of the FP7-216807 SATURN Project, June, 2008.
- F. Oppenheimer, K.Gruettner, A. Jantsch, F. Colas-Bigey, J. Haase, M. Martinez, F. Herrera, E. Villar: "Intermediate Dissemination and Demonstration Plan", FP6 IST 5-033511 ANDRES Project, July, 2008.
- M. Díez, E. Villar, M. Martínez (DS2): "HdS code generation tool development", Deliverable DS2-T4.5-Q2-08 of the Medea+ 2A708 LoMoSa+ Project, August, 2008.
- S. Real, F. Herrera, E. Villar: "Modeling of Software. Final Library elements", Deliverable D1.2b of the FP6 IST 5-033511 ANDRES Project, January, 2009.
- P. Peñil, E. Villar, et. al.: "Specification of a MDA-based framework with embedded systems verification support", Deliverable D4.2 of the FP7-216807 SATURN Project, February, 2009.
- H. Posadas, G. de Miguel, E. Villar: "Initial Performance and Power Estimation Prototype Tool", "Deliverable D2.1.1 of the FP7 216693 MULTICUBE Project, February, 2009.
- P. Peñil, E. Villar, et. al.: "Code generation and co-verification of embedded systems with SystemC", Deliverable D3.3 of the FP7-216807 SATURN Project, June, 2009.
- H. Posadas, S. Real, E. Villar: "Refined Performance and Power Estimation Prototype Tool", "Deliverable D2.1.2 of the FP7 216693 MULTICUBE Project, February, 2010.
- D. Calvo, E. Villar, A. Aquaviva, F. Bruschi: "Final Report on Architecture Modeling", Deliverable DT4.2.2 of the Artemis Scalopes Project, March, 2010.
- M. Carballeda, N. Mitas, D. Kritharidis, F. Azcarate, P. Hebrard, E. Villar, P. Peñil: "Test Cases Specification (second increment)", Deliverable D5.3 the FP7-216807 SATURN Project, April, 2010.
- F. Broekaert, N. Ventroux, D. Calvo, Á. Díaz, E. Villar, F. Alcalá, D. Gutiérrez: "System-level performance simulation: User Manuals & Prototype tools", Deliverable DT4.3.1a of the Artemis Scalopes Project, May, 2010.

- D. Calvo, H. Posadas, E. Villar, F. Alcalá, D. Gutierrez: "Guidelines for System-level design, integration and optimization", Deliverable DT4.3.6 of the Artemis Scalopes Project, December, 2010.

- F. Colas-Bigey, A. Terechko, H. Posadas, E. Villar, P. Peñil, F. Broekaert, C. Couvreur, M. Bourdelles, S. Li, L. Lavagno and A. Cohen: "Definition of tool interfaces and integrated design flow", Deliverable D1.2 of the FP7 Pharaon Project, June, 2012.

- H. Posadas, E. Villar, P. Peñil, F. Broekaert, C. Chantal, L. Lavagno, A. Terechko, M. Bourdelles and S. Li: "System specification methodology", Deliverable D1.3 of the FP7 Pharaon Project, June, 2012.

Estancias en el Extranjero

-Estancia desde el 5 al 11 de Noviembre de 1984 en el INESC de Lisboa, dentro de la Acción Integrada Hispano-Lusa.

-Estancia como profesor contratado durante el mes de Agosto de 1998 en el CTIT de la Universidad de Twente, dentro de la red HCM BELSIGN.

-Estancia como profesor visitante del 7 al 17 de Junio de 2011 en el Departamento de Ingeniería Eléctrica y Electrónica de la Universidad de Los Andes en Bogotá.

Tramos de investigación valorados positivamente

- 4 tramos desde 1986 hasta 2009.

Reconocimientos

- En 2007 le fue otorgado el 'Silver Core' de IFIP por los servicios prestados a la organización.

Evaluación de proyectos, publicaciones y trabajos de investigación

-Actuó de Evaluador del proyecto MIC 88/0714(E) presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Febrero de 1989.

-Actuó de Evaluador del proyecto TIC 825/92 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Diciembre de 1991.

-Actuó de Evaluador del proyecto TIC 31/95 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1995.

-Actuó de Evaluador del proyecto TIC 501/96 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1996.

-Actuó de Evaluador del proyecto TAP97-1090 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.

- Actuó de Evaluador del proyecto TIC97-0926 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.
- Actuó de Evaluador del proyecto TIC97-0418-01 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.
- Actuó de Evaluador del proyecto TIC97-0418-02 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.
- Actuó de Evaluador del proyecto TIC97-0757 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.
- Actuó de Evaluador del proyecto TIC97-0928 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.
- Actuó de Evaluador del proyecto TIC97-0938 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1997.
- Actuó de Evaluador del proyecto TIC98-1020 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1998.
- Actuó de Evaluador del proyecto TIC98-1076C03 presentado a la Secretaría General del Plan Nacional de Investigación Científica y Desarrollo Tecnológico en Enero de 1998.
- Actuó de Evaluador del proyecto TIC2001/0062 presentado a la Secretaría de estado de Política Científica y Tecnológica en Abril de 2001.
- Actuó de Evaluador del proyecto TIC2001/1689 presentado a la Secretaría de estado de Política Científica y Tecnológica en Abril de 2001.
- Actuó de Evaluador del proyecto TEC2004-04198 presentado a la Secretaría de Estado de Política Científica y Tecnológica en Diciembre de 2003.
- Actuó de Evaluador del proyecto TEC2004-05205 presentado a la Secretaría de Estado de Política Científica y Tecnológica en Diciembre de 2003.
- Actuó de Evaluador del proyecto de Infraestructura UNLP05-23-009 presentado a la Secretaría de Estado de Universidades e Investigación en Junio de 2004.
- Actuó de Evaluador del proyecto de TEC2008-06846-C02 presentado a la Secretaría de Estado de Universidades e Investigación en Enero de 2008.
- Actuó de Evaluador del proyecto PTQ-08-01-06374 del programa de Recursos Humanos de investigación presentado a la Secretaría de Estado de Universidades e Investigación en Marzo de 2008.
- Actuó de Evaluador del proyecto PTQ-08-01-06900 del programa de Recursos Humanos de investigación presentado a la Secretaría de Estado de Universidades e Investigación en Marzo de 2008.
- Actuó de Evaluador del proyecto GVPRE/2008/082 del Programa de Ayudas a proyectos Precompetitivos de I+D 2008 de la Generalitat Valenciana presentado a la Direcció General de Política Científica de la Consellería de Educació en Marzo de 2008.
- Actuó de Evaluador del proyecto IAP-560100-2008-38 del Plan Nacional de Investigación

Aplicada – Subprograma de Centros Tecnológicos presentado a la Dirección General de Política de la Pequeña y Mediana Empresa en Mayo de 2008.

-Actuó de Evaluador del proyecto CIT-020000-2008-6 del Plan Nacional de Desarrollo Experimental e Investigación Aplicada presentado a la Dirección General de Política Tecnológica en Mayo de 2008.

-Actuó de Evaluador del proyecto TRA2009_0017 del Plan Nacional de Investigación Científica, Desarrollo e Innovación Tecnológica presentado a la Dirección General de Programas y Transferencia de Conocimiento en Mayo de 2009.

-Actuó de Evaluador del proyecto PTQ-09-02-01163 del programa de Recursos Humanos de investigación presentado a la Secretaría de Estado de Universidades e Investigación en Noviembre de 2009.

-Actuó de Evaluador del proyecto PTQ-09-02-02369 del programa de Recursos Humanos de investigación presentado a la Secretaría de Estado de Universidades e Investigación en Noviembre de 2009.

-Actuó de Evaluador del proyecto PTQ-11-04396 de la línea INNCORPORA - Torres Quevedo presentado a la Subdirección General de Formación e Incorporación de Investigadores de la Dirección general de Investigación y Gestión del Plan Nacional de I+D+i en Mayo de 2011.

-Actuó de Evaluador del proyecto 016.130.302 del 'Innovational Research Incentives Scheme Vici - Beta 2012 VI' para la 'Netherlands Organisation for Scientific Research (NWO)' en Septiembre de 2012.

-Fue nombrado "Referee" en el 5th Int. Conference on Computer Hardware Description Languages and their Applications, Kaiserslautern, Septiembre, 1981.

-Fue nombrado "Referee" en la 2nd European Test Conference, Munich, April, 1991.

-Fue nombrado "Referee" en la 3rd European Test Conference, Rotterdam, April, 1993.

-Fue nombrado "Referee" en la International Test Conference, Baltimore, October, 1993.

-Fue nombrado "Referee" en la 1st European Design Automation Conference EDAC, Amsterdam, February, 1991.

-Fue nombrado "Referee" en la 6th International Conference on VLSI Design, Bombay, January, 1993.

-Es "Referee" del Congreso de Diseño de Circuitos Integrados, DCIS, desde 1991.

-Fue nombrado "Referee" en el 16th Symposium on Integrated Circuits and Systems Design, Sao Paulo, SBCCI 2003 , September, 2003.

-Desde 1998 es evaluador de los “Premios a la mejor tesis doctoral y al mejor proyecto fin de carrera” organizado por el COIT/AEIT.

-Fue Miembro del Tribunal de la Tesis Doctoral del Instituto Nacional Politécnico de Grenoble titulada “Flexible and scalable algorithm/architecture platform for MpSoC design of high definition video compression algorithms” defendida por Marius Petra Bonaciu el 4 de Julio de 2006.

- Actuó de Revisor para el IEEE Transactions on Industrial Electronics en Marzo de 2000.
- Actuó de Revisor para el Journal on System Architecture en Julio de 2003, Junio de 2006 y Octubre de 2014.
- Actuó de Revisor para el ACM Transactions on Embedded Computing Systems en Marzo de 2005, en Enero de 2009, en Agosto de 2012 y en Enero de 2013.
- Actuó de Revisor para el IEEE Transactions on Very Large Scale Integration Systems en Agosto de 2005 y Noviembre de 2006.
- Actuó de Revisor para el IEEE Transactions on CAD of Integrated Circuits and Systems en Abril de 2006 y Febrero de 2007.
- Actuó de Revisor para el IEEE Computer Architecture Letters en Septiembre de 2008.
- Actuó de Revisor para la Springer Design Automation for Embedded Systems en Abril de 2006, en Marzo de 2011, en Noviembre de 2011 y en Enero de 2012.
- Actuó de Revisor para el IEEE Design & Test of Computers en Julio de 2010.
- Actuó de Revisor para el EURASIP Journal on Embedded Systems en Octubre de 2010.
- Actuó de Revisor para el Software and System Modeling (SoSyM) Journal publicado por Springer-Verlag en Marzo de 2011.
- Actuó de Revisor para el Simulation: Transactions of the Society for Modeling and Simulation International en Septiembre de 2015.
- Fue nombrado "Reviewer" del "Ph.D. Forum" en la 37th IEEE International Design Automation Conference, Los Angeles, June, 2000.
- Actuó de revisor para el 'Encyclopedia of Computer Science and Engineering' para John Wiley & Sons, en Mayo de 2007.
- Actuó de revisor para el libro "Behavioral Modeling for Embedded Systems and Technologies: Applications for Design and Implementation" para IGI Global en Septiembre de 2008.
- Actuó de revisor para la revista 'Microprocessors and Microsystems' de Elsevier en Julio de 2011 y en Diciembre de 2013.
- Actuó de revisor para la IEEE International Conference on Electronics, Circuits, and Systems en Agosto de 2012.
- Actuó de Revisor para el Springer Journal of Signal Processing Systems en Abril de 2014, en Septiembre de 2015 y en Diciembre de 2015.
- Actuó de Revisor para la revista Simulation: Transactions of the Society for Modeling and Simulation International en Septiembre de 2015.
- Actuó de Revisor para el Springer Journal on Software and System Modeling en Mayo de 2022.

Pertenencia a comités de programa de congresos

-Fue miembro del Comité Local del VI Congreso de Diseño de Circuitos Integrados celebrado en Santander en Noviembre de 1991.

-Fue miembro del "Programme Committee" de la "European Conference on VHDL Methods (EURO-VHDL)" desde 1991 hasta 1996.

-Fue miembro del "Programme Committee" de la "European Design Automation Conference (EuroDAC)" en 1993.

-Fue miembro del "Programme Committee" del "VHDL Forum for CAD in Europe" desde 1991 hasta 1996.

-Fue miembro del "Programme Committee" del "VHDL User's Forum in Europe" en 1997 y 1998.

-Fue miembro del "Programme Committee" de la "Asian Pacific Conference on Hardware Description Languages, Standards and Applications" desde 1993 a 1998.

-Fue miembro del "Programme Committee" del "VHDL International User's Forum" en 1993.

-Fue miembro del "Programme Committee" del "VHDL International User's Forum" en 1999.

-Es miembro del "Programme Committee" de la "Design, Automation and Test Conference, DATE" desde 2000.

-Es miembro del "Programme Committee" del "Workshop on Intelligent Solutions in Embedded Systems (WISES)" desde 2007.

-Es miembro del "Programme Committee" del "International Workshop on Model Based Architecting and Construction of Embedded Systems (ACES-MB) desde 2008.

-Es miembro del "Programme Committee" del "Artist Workshop on UML/AADL" desde 2008.

-Es miembro del "Programme Committee" de la Internacional Workshop on UML&Formal Methods desde 2008.

-Es miembro del "Programme Committee" de la International Conference on Formal Engineering Methods, ICFEM, desde 2009.

-Es miembro del "Programme Committee" de la Internacional Workshop on Parallel Programming and Run-time Management Techniques for Many-core Architectures organizado en el contexto de ARCS 2010.

-Es miembro del "Programme Committee" del Workshop on Parallel Programming and Run-time Management Techniques for Many-core Architectures desde 2009.

-Fue miembro del "Best Paper Award Committee" de la "Design, Automation and Test Conference, DATE" desde 2003 hasta 2007.

-Es miembro del "Programme Committee" del "Symposium on Integrated Circuits and Systems Design, SBCCI" desde 2006.

-Fue "Organization Chairman" del "Spring-92 Meeting of the VHDL Forum for CAD in Europe" celebrada en Santander en Abril de 1992.

-Fue miembro del "Organizing Committee" del "NATO Advanced Study Institute" titulado: "Fundamentals and Standards in Hardware Description Languages", que tuvo lugar en Il Ciocco (Italia) del 15 al 26 de Abril de 1993.

-Fue profesor del "NATO Advanced Study Institute" titulado: "Fundamentals and Standards in Hardware Description Languages" que tuvo lugar en Il Ciocco (Italia) del 15 al 26 de Abril de 1993.

-Fue "Programme Chairman" de la "Fourth European Conference on VHDL Methods (EURO-VHDL'93)" celebrada en Hamburgo en Septiembre de 1993.

-Fue miembro del "Programme Committee" del "International Symposium on Automotive Technology and Automation desde 1994 hasta 1999.

-Fue "Programme Chairman" del "VHDL Forum Spring'97 Working Conference" celebrado en Toledo en Abril de 1997.

-Fue "General Chairman" de la "2nd Workshop on Libraries, Component Modeling, and Quality Assurance" celebrada en Toledo en Abril de 1997.

-Fue "Topic Chair" del tema: "VHDL and VHDL-AMS" de la "Design, Automation and Test in Europe Conference and Exhibition, DATE'98" celebrada en París en Febrero de 1998.

-Fue "Topic Chair" del tema: "Design Languages" de la "Design, Automation and Test in Europe Conference and Exhibition, DATE'99" celebrada en Munich en Febrero de 1999.

-Fue "Topic Chair" del tema: "System Specification and Modeling" de la "Design, Automation and Test in Europe Conference and Exhibition, DATE" desde 2007 hasta 2009.

-Es "Topic Chair" del tema: "T7. Prototyping, Validation, Verification, Modeling and Simulation" en la IFIP/IEEE Conference on Very Large Scale Integration (VLSI-SoC), VLSI-Soc'11, a celebrarse en Hong-Kong en Octubre de 2011.

-Fue "Programme Chairman" del "System Specification and Design Languages Workshop" celebrada en Lyon en Septiembre de 1999.

-Fue "Tutorial Chairman" del "Forum on Design Languages" celebrado en Tuebingen en Septiembre de 2000.

-Fue "Programme Chairman" del "Forum on Design Languages" celebrado en Lyon en Septiembre de 2001.

-Fue miembro del "Steering Committee" del "Forum on Design Languages" desde 2001 a 2012.

-Es miembro del "Program Committee" del "Forum on Design Languages" desde 2001.

-Fue miembro del "Steering Committee" de la "Catrene Design and Technology Conference" desde 2008 a 2010.

-Es miembro del "Steering Committee" de la "European Nanoelectronics Design Technology Conference" desde 2011.

-Fue "General Chairman" del "Forum on Design Languages" celebrado en Marsella en Septiembre de 2002.

-Fue "Workshop Chairman" del "Forum on Design Languages" celebrado en Frankfurt en Septiembre de 2003.

-Fue "General Chairman" del "Forum on Design Languages" celebrada en Barcelona en Septiembre de 2007.

-Fue miembro del "Local Organizing Committee" de la "Design of Circuits and Integrated Systems" a celebrarse en Santander en Noviembre de 2002.

-Fue miembro del "DATE Executive Committee" de la "Design, Automation and Test Conference and Exhibition" desde 2001 hasta 2003 como "Hands-on-Tutorials Chair".

-Fue miembro del "DATE Executive Committee" de la "Design, Automation and Test Conference and Exhibition" desde 2003 hasta 2006 como "Interactive Presentations Chair".

-Fue miembro del Steering Committee del Virtual Worldwide PhD forum on Electronic Design Automation (VW-FEDA) desde 2010.

-Es miembro del "Programme Committee" del Workshop on Parallel Programming and Runtime Management Techniques for Many-core Architectures, PARMA, desde 2009.

-Es miembro del "Programme Committee" del IEEE/IFIP International conference on VLSI and Systems-on-Chip, VLSI-SoC, desde 2010.

-Es miembro del "Programme Committee" del ECSI Electronic System Level Synthesis Conference, ESLsyn, desde 2011.

-Es "External Reviewer" del tema ESS6: "Embedded systems design methodologies" de la "Design Automation Conference, DAC" desde 2011.

-Es miembro de Comité de Programa de las Jornadas de Computación Empotrada desde 2012.

-Es miembro del "Programme Committee" del joint M-SCOPES Workshop on Software and Compilers for Embedded Systems (SCOPES) and the Workshop on Mapping of Applications to MPSoCs (Map2MPSoC) desde 2013.

-Es miembro del "Programme Committee" del EUROMICRO / IEEE Workshop on Embedded and Cyber-Physical Systems desde 2013.

-Fue miembro del "Programme Committee" del IEEE/IFIP International Conference on Embedded and Ubiquitous Computing (EUC) en 2013 y 2014.

-Es miembro del "Programme Committee" de la International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (SAMOS) desde 2015.

-Fue editor de la revista Novática en 1994.

Pertenencia a Tribunales Internacionales de Tesis Doctorales

-Fue miembro del Tribunal de Tesis para obtener el título de Docteur de L'INPG en la especialidad de Micro et Nano Electronique de la Escuela Doctoral de «Electronique, Electrotechnique, Automatique, Télécommunications, Signal», titulado "Flexible and Scalable Algorithm/Architecture Platform for MP-SoC Design of High Definition Video Compression Algorithms" defendida por Marius Petru Bonaciu en Grenoble el 4 de Julio de 2006.

-Fue miembro del Tribunal de Tesis para obtener el título de Doctor en "Computer Science" por la Università degli Studi di Verona, titulado "A Design & Verification Methodology for Networked Embedded Systems" defendida por Francesco Stefanni en Verona el 26 de Abril de 2011.

-Fue miembro del Tribunal de Tesis para obtener el título de "Doktors der technischen Wissenschaften" del "Institut für Technische Informatik" de la Universität Wien, titulado "Executable Time-Triggered Model (E-TTM) for the development of safety-critical embedded systems" defendida por Juan Martin Perez Cerrolaza en Viena el 10 de Mayo de 2011.

-Fue miembro del Tribunal de Tesis para obtener el título de "Dottorato di Ricerca in Ingegneria e scienze dell'informazione" del "Dipartimento di Ingegneria e Scienze dell'Informazione e Matematica" de la Università degli Studi dell'Aquila, titulado "Sampled-Data Control of Nonlinear Time-Delay Systems" defendida por Mario Di Ferdinando en L'Aquila el 8 de Mayo de 2019.

-Fue miembro del Tribunal de Tesis para obtener el título de "Dottorato di Ricerca in Ingegneria e scienze dell'informazione" del "Dipartimento di Ingegneria e Scienze dell'Informazione e Matematica" de la Università degli Studi dell'Aquila, titulado "Network Design for 5G Converged Access" defendida por Andrea Marotta en L'Aquila el 8 de Mayo de 2019.

-Fue miembro del Tribunal de Tesis para obtener el título de "Dottorato di Ricerca in Ingegneria e scienze dell'informazione" del "Dipartimento di Ingegneria e Scienze dell'Informazione e Matematica" de la Università degli Studi dell'Aquila, titulado "HW/SW Co-Design Methodology and Framework for Mixed-Criticality and Real-Time Embedded Systems" defendida por Vittoriano Mutillo en L'Aquila el 8 de Mayo de 2019.

Pertenencia a grupos de expertos

-Fue "National User's Groups Representative" en el SIG-VHDL de IFIP/ECSI por elección desde 1995 a 1997.

-Es miembro del "ECSI Executive Committee" por elección desde Febrero desde 1996 hasta 2012.

-Fue vocal de la Comisión de Expertos del Programa Nacional de Tecnologías de la Información y las Comunicaciones de la Dirección General de Enseñanza Superior e Investigación Científica en 1998.

-Fue vocal de la Comisión de Expertos del Programa Nacional de Tecnología Electrónica y de Comunicaciones, Área de Circuitos y Sistemas Electrónicos de la Dirección General de Investigación en 2004.

-Fue Experto Independiente en la evaluación de propuestas FP6-IST-2004-2.4.1 para la Dirección General de Medios y Sociedad de la Información de la Comisión Europea.

-Es miembro del Banco de Evaluadores del Fondo Argentino Sectorial del Ministerio de Ciencia, Tecnología e Innovación Productiva de Argentina desde 2010.

-Fue miembro de la “VHDL Analysis and Standardization Group (VASG)” desde 1990 a 1991.

-Fue miembro permanente del “European Working Group on VHDL Standardization (EWGVS)” durante 1991.

-Fue Representante Nacional en el TC117 de CENELEC desde 1994 hasta 1997.

-Fue miembro del ‘Pilot Team’ del estándar IEEE Std 1076.6-1999: Standard for VHDL Register Transfer Level (RTL) Synthesis, IEEE Computer Society, 1999.

-Fue miembro del WG2: “Electronic System Specification languages” del TC117 de CENELEC desde 1994 hasta 1997.

-Fue Representante Nacional en el TC93 de IEC desde 1995 hasta 1997.

-Fue coordinador del “New Topic: Embedded SoC Software” del Medea Design Automation Roadmap 2003.

-Es miembro del Comité Científico de la Plataforma Tecnológica Española ES-ENIAC-SSI desde 2005.

-Fue Experto de la Asociación Industrial Artemis-IA en la preparación del “CPS chapter for the MASRIA 2017” en 2016.

Pertenencia a asociaciones profesionales

-Fue miembro de la “New York Academy of Sciences” durante 2000 y 2001.

-Fue miembro de la “American Association for the Advancement of Science” durante 2001.

-Es miembro del IEEE desde 1991.

-Elevado a 'Senior Member' del IEEE en 2015.

-Es miembro del WG 10.5 (Design and Engineering of Electronic Systems) de IFIP desde Junio de 1999.

-Fue “Vice-Chair” del WG 10.5 (Design and Engineering of Electronic Systems) de IFIP desde 2001 hasta 2007.

-Es miembro de la European Design and Automation Association (EDAA) desde Enero de 2005.

-Es miembro de la Association for Computing Machinery (ACM) desde Febrero de 2005.

-Es el representante de la Universidad de Cantabria en la asociación ARTEMISIA desde 2007.

-Es el representante de la Universidad de Cantabria en la Plataforma Tecnológica ECSEL desde 2013.

-Es el representante de la Universidad de Cantabria en la Iniciativa: “Inteligencia Artificial y Desarrollo Humano”, organizada por la Cátedra Microsoft-UPV, desde 2018.