



María del Pilar Parra Fernández

Generado desde: Universidad de Sevilla (Unidad de Bibliometría)

Fecha del documento: 28/11/2024

v 1.4.3

b93ea0326e8b81854970486d84c3f2c9



María del Pilar Parra Fernández

Apellidos: **Parra Fernández**
Nombre: **María del Pilar**
DNI:
ResearcherID:
ScopusID:
ORCID:
Perfil de Dialnet:
Fecha de nacimiento:
Sexo:
Nacionalidad:
Correo electrónico:

Situación profesional actual

Entidad empleadora: Universidad de Sevilla **Tipo de entidad:** Universidad
Departamento: Tecnología Electrónica
Categoría profesional: Profesora Titular de Universidad
Ciudad entidad empleadora: Sevilla, Andalucía, España
Fecha de inicio: 30/07/2010



Formación académica recibida

Titulación universitaria

Doctorados

Entidad de titulación: Universidad de Sevilla

Fecha de titulación: 30/04/2010

Título de la tesis: Ruido de conmutación en circuitos integrados digitales CMOS

Director/a de tesis: Manuel Valencia Barrero

Codirector/a de tesis: Antonio J. Acosta Jiménez

Calificación obtenida: Sobresaliente "cum laude"

Actividad docente

Dirección de tesis doctorales y/o trabajos de fin de estudios

Título del trabajo: DESARROLLO Y APLICACIONES DE TÉCNICAS DE CONTROL DE CORRIENTE DE ALIMENTACIÓN EN CIRCUITOS INTEGRADOS DIGITALES CMOS

Tipo de proyecto: Tesis Doctoral

Codirector/a tesis: Acosta Jimenez, Antonio Jose

Entidad de realización: Universidad de Sevilla

Alumno/a: Castro Ramirez, Javier

Calificación obtenida: Sobresaliente "Cum Laude"

Fecha de defensa: 13/07/2011

Experiencia científica y tecnológica

Actividad científica o tecnológica

Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas

- 1 Nombre del proyecto:** Diseño, implementación y validación en hardware de una raíz de confianza resistente a ataques, para sistemas empotrados seguros

Ámbito geográfico: Nacional

Grado de contribución: Investigador/a

Nombres investigadores principales (IP, Co-IP,...): Jiménez Fernández, Carlos Jesús; Brox Jiménez, Piedad

Nº de investigadores/as: 19

Entidad/es financiadora/s: Ministerio de Ciencia e Innovación **Tipo de entidad:** Organismo, Otros

Nombre del programa: Plan Estatal 2017-2020 Retos - Proyectos I+D+i

Cód. según financiadora: PID2020-116664RB-I00

Fecha de inicio-fin: 01/09/2021 - 31/08/2025 **Duración:** 4 años

Cuantía total: 146.410 €
- 2 Nombre del proyecto:** SCARoT: Side-Channel Attacks on Root of Trust / Ataques laterales sobre la Raíz de Confianza

Ámbito geográfico: Autonómica

Grado de contribución: Investigador/a

Nombres investigadores principales (IP, Co-IP,...): Acosta Jiménez, Antonio José; Jiménez Fernández, Carlos Jesús

Nº de investigadores/as: 10

Entidad/es financiadora/s: Consejería de Economía, Conocimiento, Empresas y Universidad

Nombre del programa: Proyectos I+D+i FEDER Andalucía 2014-2020

Cód. según financiadora: US-1380823

Fecha de inicio-fin: 01/01/2022 - 31/05/2023 **Duración:** 1 año - 5 meses

Cuantía total: 90.000 €
- 3 Nombre del proyecto:** Integración y Validación en Laboratorio de Contramedidas Frente a Ataques Laterales en Criptocircuitos Microelectrónicos

Ámbito geográfico: Nacional

Grado de contribución: Investigador/a

Nombres investigadores principales (IP, Co-IP,...): Acosta Jiménez, Antonio José; Jiménez Fernández, Carlos Jesús

Nº de investigadores/as: 10

Entidad/es financiadora/s: Ministerio de Economía y Competitividad

Nombre del programa: Plan Estatal 2013-2016 Retos - Proyectos I+D+i

Cód. según financiadora: TEC2016-80549-R



Fecha de inicio-fin: 30/12/2016 - 29/12/2019
Cuantía total: 104.544 €

Duración: 3 años

- 4** **Nombre del proyecto:** Cesar: Circuitos Microelectrónicos Seguros Frente a Ataques Laterales
Ámbito geográfico: Nacional
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): Acosta Jiménez, Antonio José; Jiménez Fernández, Carlos Jesús
Nº de investigadores/as: 9
Entidad/es financiadora/s:
Ministerio de Economía y Competitividad
Nombre del programa: Plan Estatal 2013-2016 Retos - Proyectos I+D+i
Cód. según financiadora: TEC2013-45523-R
Fecha de inicio-fin: 01/01/2014 - 30/09/2017
Duración: 3 años - 9 meses
Cuantía total: 144.474 €

- 5** **Nombre del proyecto:** Circuitos Integrados para Transmisión de Información Especialmente Segura
Ámbito geográfico: Nacional
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): Jiménez Fernández, Carlos Jesús
Nº de investigadores/as: 11
Entidad/es financiadora/s:
Ministerio de Ciencia e Innovación
Tipo de entidad: Organismo, Otros
Nombre del programa: Plan Nacional del 2010
Cód. según financiadora: TEC2010-16870
Fecha de inicio-fin: 01/01/2011 - 30/09/2014
Duración: 3 años - 9 meses
Cuantía total: 106.722 €

- 6** **Nombre del proyecto:** Diseño Microelectrónico para Autenticación Cripto-Biométrica
Ámbito geográfico: Autonómica
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): Baturone Castillo, Iluminada
Nº de investigadores/as: 24
Entidad/es financiadora/s:
Junta de Andalucía - Consejería de Innovación, Ciencia y Empresas
Nombre del programa: Proyectos de Excelencia de la Junta de Andalucía
Cód. según financiadora: P08-TIC-03674
Fecha de inicio-fin: 13/01/2009 - 31/12/2013
Duración: 4 años - 11 meses - 19 días
Cuantía total: 439.847,36 €

- 7** **Nombre del proyecto:** Model-based synthesis of digital electronic circuits for embedded control (MOBY-DIC)
Ámbito geográfico: Unión Europea
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): Acosta Jiménez, Antonio José
Nº de investigadores/as: 8
Entidad/es financiadora/s:
Commission of the European Communities (Research Directorate-General)
Nombre del programa: 7º Programa Marco de la U.E.



Cód. según financiadora: FP7-ICT-2009-4-248858

Fecha de inicio-fin: 01/12/2009 - 30/11/2012

Duración: 3 años

Cuantía total: 450.000 €

8 Nombre del proyecto: SEPIC, Sistemas empotrados para infraestructuras críticas

Ámbito geográfico: Nacional

Grado de contribución: Investigador/a

Nombres investigadores principales (IP, Co-IP,...): Bellido Díaz, Manuel Jesús

Nº de investigadores/as: 18

Entidad/es financiadora/s:

Ministerio de Industria, Turismo y Comercio

Nombre del programa: OPN - Avanza I+D

Cód. según financiadora: TSI-020100-2008-258

Fecha de inicio-fin: 10/07/2008 - 28/02/2009

Duración: 7 meses - 19 días

Cuantía total: 69.000 €

9 Nombre del proyecto: Diseño de sistemas digitales micro-nanoelectrónicos de altas prestaciones

Ámbito geográfico: Autonómica

Grado de contribución: Investigador/a

Nombres investigadores principales (IP, Co-IP,...): Barriga Barros, Ángel

Nº de investigadores/as: 30

Entidad/es financiadora/s:

Junta de Andalucía (Plan Andaluz de Investigación)

Nombre del programa: Proyectos de Excelencia de la Junta de Andalucía

Cód. según financiadora: EXC/2005/TIC-635

Fecha de inicio-fin: 01/03/2006 - 28/02/2009

Duración: 3 años

Cuantía total: 177.000 €

10 Nombre del proyecto: Sistemas Empotrados Abiertos de Unidades Terminales para Sistemas de Control Industrial

Ámbito geográfico: Autonómica

Grado de contribución: Investigador/a

Nombres investigadores principales (IP, Co-IP,...): Bellido Díaz, Manuel Jesús

Nº de investigadores/as: 29

Entidad/es financiadora/s:

Junta de Andalucía (Plan Andaluz de Investigación)

Nombre del programa: Proyectos de Excelencia de la Junta de Andalucía

Cód. según financiadora: EXC/2005/TIC-1023

Fecha de inicio-fin: 01/03/2006 - 28/02/2009

Duración: 3 años

Cuantía total: 131.000 €

**Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas****Nombre del proyecto:** USECHIP: CÁTEDRA EN MICROELECTRÓNICA DE LA UNIVERSIDAD DE SEVILLA**Grado de contribución:** Investigador/a**Nombres investigadores principales (IP, Co-IP,...):** Acosta Jiménez, Antonio José**Nº de investigadores/as:** 69**Entidad/es financiadora/s:**

Ministerio de Asuntos Económicos y Transformación Digital

Nombre del programa: Cátedras Específicas**Cód. según financiadora:** TSI-069100-2023-001**Fecha de inicio:** 07/03/2024**Duración:** 2 años - 3 meses - 24 días**Cuantía total:** 4.200.000 €**Actividades científicas y tecnológicas****Producción científica****Publicaciones, documentos científicos y técnicos**

- 1** Jiménez Fernández, Carlos Jesús; Baena Oliva, María del Carmen; Parra Fernández, María del Pilar; Potestad Ordoñez, Francisco Eugenio; Valencia Barrero, Manuel. An academic approach to FPGA design based on a distance meter circuit. IEEE REVISTA IBEROAMERICANA DE TECNOLOGIAS DEL APRENDIZAJE-IEEE RITA. 15 - 3, pp. 123 - 128. IEEE-INST ELECTRICAL ELECTRONICS ENGINEERS INC, 2020. Disponible en Internet en: <<https://doi.org/10.1109/RITA.2020.3008343>>. ISSN 1932-8540

DOI: 10.1109/RITA.2020.3008343**Handle:** 11441/106006**Código WOS:** WOS:000557350000001**Código Scopus:** 85089492632**Código de Dialnet:** ARTREV 7570207**Tipo de producción:** Artículo científico**Tipo de soporte:** Revista**Posición de firma:** 3**Nº total de autores:** 5**Fuente de impacto:** SCOPUS (SJR)**Categoría:** E-learning**Índice de impacto:** 0.227**Revista dentro del 25%:** No**Posición de publicación:** 59**Num. revistas en cat.:** 72**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Education**Índice de impacto:** 0.227**Revista dentro del 25%:** No**Posición de publicación:** 887**Num. revistas en cat.:** 1.507**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Engineering (miscellaneous)**Índice de impacto:** 0.227**Revista dentro del 25%:** No**Posición de publicación:** 213**Num. revistas en cat.:** 478**Fuente de citas:** SCOPUS**Citas:** 2

**Fuente de citas:** WOS**Citas:** 1**Fuente de citas:** Dialnet**Citas:** 0

- 2** Potestad-Ordóñez, Francisco E.; Valencia-Barrero, Manuel; Baena-Oliva, Carmen; Parra-Fernández, Pilar; Jiménez-Fernández, Carlos J.. Breaking trivium stream cipher implemented in ASIC using experimental attacks and DFA. SENSORS. 20 - 23, pp. 1 - 19. MDPI; MDPI AG, 2020. Disponible en Internet en: <<https://doi.org/10.3390/s20236909>>. ISSN 1424-8220

DOI: 10.3390/s20236909**Handle:** 11441/104281**PMID:** 33287234**Código WOS:** WOS:000598014300001**Código Scopus:** 85097067595**Tipo de producción:** Artículo científico**Tipo de soporte:** Revista**Posición de firma:** 4**Nº total de autores:** 5**Fuente de impacto:** WOS (JCR)**Categoría:** Science Edition - CHEMISTRY, ANALYTICAL**Índice de impacto:** 3.576**Revista dentro del 25%:** No**Posición de publicación:** 26**Num. revistas en cat.:** 87**Fuente de impacto:** WOS (JCR)**Categoría:** Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC**Índice de impacto:** 3.576**Revista dentro del 25%:** No**Posición de publicación:** 82**Num. revistas en cat.:** 273**Fuente de impacto:** WOS (JCR)**Categoría:** Science Edition - INSTRUMENTS & INSTRUMENTATION**Índice de impacto:** 3.576**Revista dentro del 25%:** Sí**Posición de publicación:** 14**Num. revistas en cat.:** 64**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Analytical Chemistry**Índice de impacto:** 0.636**Revista dentro del 25%:** No**Posición de publicación:** 46**Num. revistas en cat.:** 121**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Analytical Chemistry**Índice de impacto:** 0.636**Revista dentro del 25%:** No**Posición de publicación:** 46**Num. revistas en cat.:** 144**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Atomic and Molecular Physics, and Optics**Índice de impacto:** 0.636**Revista dentro del 25%:** No**Posición de publicación:** 64**Num. revistas en cat.:** 183**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Atomic and Molecular Physics, and Optics**Índice de impacto:** 0.636**Revista dentro del 25%:** No**Posición de publicación:** 64**Num. revistas en cat.:** 209**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Biochemistry**Índice de impacto:** 0.636**Revista dentro del 25%:** No**Posición de publicación:** 244**Num. revistas en cat.:** 432**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Biochemistry**Índice de impacto:** 0.636**Revista dentro del 25%:** No**Posición de publicación:** 244**Num. revistas en cat.:** 467



Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 169

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 169

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 84

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 84

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 35

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 35

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 1.047

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.636
Posición de publicación: 1.057

Fuente de citas: SCOPUS

Fuente de citas: WOS

Categoría: Electrical and Electronic Engineering
Revista dentro del 25%: No
Num. revistas en cat.: 655

Categoría: Electrical and Electronic Engineering
Revista dentro del 25%: No
Num. revistas en cat.: 734

Categoría: Information Systems
Revista dentro del 25%: No
Num. revistas en cat.: 317

Categoría: Information Systems
Revista dentro del 25%: No
Num. revistas en cat.: 382

Categoría: Instrumentation
Revista dentro del 25%: No
Num. revistas en cat.: 127

Categoría: Instrumentation
Revista dentro del 25%: No
Num. revistas en cat.: 137

Categoría: Medicine (miscellaneous)
Revista dentro del 25%: No
Num. revistas en cat.: 2.531

Categoría: Medicine (miscellaneous)
Revista dentro del 25%: No
Num. revistas en cat.: 2.397

Citas: 9

Citas: 5

- 3** Jimenez, R; Parra, P; Castro, J; Sanchez, M; Acosta, A. Optimization of master-slave flip-flops for high-performance applications. INTEGRATED CIRCUIT AND SYSTEM DESIGN: POWER AND TIMING MODELING, OPTIMIZATION AND SIMULATION. 4148, pp. 439 - 449. SPRINGER, 2006. Disponible en Internet en: <https://doi.org/10.1007/11847083_42>. ISSN 0302-9743, ISSN 1611-3349, ISBN 3-540-39094-4, ISBN 978-3-642-36156-2, ISBN 978-3-642-36157-9, ISBN 978-3-642-11801-2, ISBN 978-3-540-74441-2

DOI: 10.1007/11847083_42

Código WOS: WOS:000241464600042

Código Scopus: 33750037622

Colección: Lecture Notes in Computer Science

Tipo de producción: Artículo científico

Posición de firma: 2

Nº total de autores: 5

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.317
Posición de publicación: 45

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.317
Posición de publicación: 64

Tipo de soporte: Libro

Categoría: Computer Science (miscellaneous)
Revista dentro del 25%: No
Num. revistas en cat.: 113

Categoría: Theoretical Computer Science
Revista dentro del 25%: No
Num. revistas en cat.: 98

**Fuente de citas:** SCOPUS**Citas:** 0**Fuente de citas:** WOS**Citas:** 0

- 4** Parra-Fernández, María Del Pilar; Acosta-Jimenez, Antonio Jose; Jimenez, Raúl; Valencia-Barrero, Manuel. Selective Clock-Gating for Low-Power Synchronous Counters. JOURNAL OF LOW POWER ELECTRONICS. 1 - 1, pp. 11 - 19. AMER SCIENTIFIC PUBLISHERS, 2005. Disponible en Internet en: <<https://doi.org/10.1166/jolpe.2005.003>>. ISSN 1546-1998, ISSN 1546-2005

DOI: 10.1166/jolpe.2005.003**Código WOS:** WOS:000410165100003**Tipo de producción:** Artículo científico**Tipo de soporte:** Revista**Posición de firma:** 1**Nº total de autores:** 4**Fuente de citas:** WOS**Citas:** 3

- 5** Jimenez, R; Parra, P; Sanmartin, P; Acosta, AJ. A new hybrid CBL-CMOS cell for optimum noise/power application. INTEGRATED CIRCUIT AND SYSTEM DESIGN. 2799, pp. 491 - 500. SPRINGER, 2003. Disponible en Internet en: <https://doi.org/10.1007/978-3-540-39762-5_55>. ISSN 0302-9743, ISSN 1611-3349, ISBN 3-540-29013-3, ISBN 3-540-23095-5, ISBN 3-540-20074-6

DOI: 10.1007/978-3-540-39762-5_55**Código WOS:** WOS:000186330400055**Código Scopus:** 35248837837**Colección:** Lecture Notes in Computer Science**Tipo de producción:** Artículo científico**Tipo de soporte:** Libro**Posición de firma:** 2**Nº total de autores:** 4**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Computer Science (miscellaneous)**Índice de impacto:** 0.410**Revista dentro del 25%:** No**Posición de publicación:** 36**Num. revistas en cat.:** 88**Fuente de impacto:** SCOPUS (SJR)**Categoría:** Theoretical Computer Science**Índice de impacto:** 0.410**Revista dentro del 25%:** No**Posición de publicación:** 50**Num. revistas en cat.:** 82**Fuente de citas:** SCOPUS**Citas:** 0**Fuente de citas:** WOS**Citas:** 0

- 6** Parra-Fernández, María Del Pilar; Acosta-Jimenez, Antonio Jose; Valencia-Barrero, Manuel. Selective clock-gating for low power/low noise synchronous counters. Lecture Notes in Computer Science. 2451, pp. 448 - 457. SPRINGER; Springer International Publishing; SPRINGER-VERLAG BERLIN; SPRINGER INTERNATIONAL PUBLISHING AG; SPRINGER INT PUBLISHING AG; Springer Nature Switzerland, 2002. Disponible en Internet en: <<https://idus.us.es/handle/11441/64996>>. ISSN 0302-9743, ISSN 1611-3349

Handle: 11441/64996**Código Scopus:** 23044534776**Tipo de producción:** Artículo científico**Posición de firma:** 1**Nº total de autores:** 3**Fuente de impacto:** WOS (JCR)**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS**Índice de impacto:** 0.515**Revista dentro del 25%:** No**Posición de publicación:** 39**Num. revistas en cat.:** 69



Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.374
Posición de publicación: 37

Fuente de impacto: SCOPUS (SJR)
Índice de impacto: 0.374
Posición de publicación: 57

Fuente de citas: SCOPUS

Categoría: Computer Science (miscellaneous)
Revista dentro del 25%: No
Num. revistas en cat.: 85

Categoría: Theoretical Computer Science
Revista dentro del 25%: No
Num. revistas en cat.: 81

Citas: 5

- 7** Jimenez, R; Parra, P; Sanmartin, P; Acosta, AJ. Analysis of high-performance flip-flops for submicron mixed-signal applications. ANALOG INTEGRATED CIRCUITS AND SIGNAL PROCESSING. 33 - 2, pp. 145 - 156. SPRINGER, 2002. Disponible en Internet en: <<https://doi.org/10.1023/A:1021216015286>>. ISSN 0925-1030, ISSN 1573-1979

DOI: 10.1023/A:1021216015286

Código WOS: WOS:000179409300008

Código Scopus: 0036854836

Tipo de producción: Artículo científico

Posición de firma: 2

Nº total de autores: 4

Fuente de impacto: WOS (JCR)

Índice de impacto: 0.204

Posición de publicación: 42

Fuente de impacto: WOS (JCR)

Índice de impacto: 0.204

Posición de publicación: 165

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.300

Posición de publicación: 50

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.300

Posición de publicación: 30

Fuente de impacto: SCOPUS (SJR)

Índice de impacto: 0.300

Posición de publicación: 53

Fuente de citas: SCOPUS

Fuente de citas: WOS

Tipo de soporte: Revista

Categoría: Science Edition - COMPUTER SCIENCE, HARDWARE & ARCHITECTURE

Revista dentro del 25%: No

Num. revistas en cat.: 46

Categoría: Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC

Revista dentro del 25%: No

Num. revistas en cat.: 203

Categoría: Hardware and Architecture

Revista dentro del 25%: No

Num. revistas en cat.: 91

Categoría: Signal Processing

Revista dentro del 25%: No

Num. revistas en cat.: 40

Categoría: Surfaces, Coatings and Films

Revista dentro del 25%: No

Num. revistas en cat.: 98

Citas: 9

Citas: 11

- 8** Jiménez-Naharro, Raúl; Parra-Fernández, María Del Pilar; Sanmartin-Rodriguez, Pedro Mario; Acosta-Jimenez, Antonio Jose. A technique to generate CMOS VLSI flip-flops based on differential latches. Lecture Notes in Computer Science. 2451, pp. 209 - 218. SPRINGER; Springer International Publishing; SPRINGER-VERLAG BERLIN; SPRINGER INTERNATIONAL PUBLISHING AG; SPRINGER INT PUBLISHING AG; Springer Nature Switzerland, 2002. ISSN 0302-9743, ISSN 1611-3349

Código Scopus: 84943236160

Tipo de producción: Artículo científico

Posición de firma: 2

Nº total de autores: 4

**Fuente de impacto:** WOS (JCR)**Índice de impacto:** 0.515**Posición de publicación:** 39**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.374**Posición de publicación:** 37**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.374**Posición de publicación:** 57**Fuente de citas:** SCOPUS**Categoría:** Science Edition - COMPUTER SCIENCE, THEORY & METHODS**Revista dentro del 25%:** No**Num. revistas en cat.:** 69**Categoría:** Computer Science (miscellaneous)**Revista dentro del 25%:** No**Num. revistas en cat.:** 85**Categoría:** Theoretical Computer Science**Revista dentro del 25%:** No**Num. revistas en cat.:** 81**Citas:** 0

- 9** Jiménez, R.; Parra, P.; Sanmartín, P.; Acosta, A. J.. High-performance edge-triggered flip-flops using weak-branch differential latch. ELECTRONICS LETTERS. 38 - 21, pp. 1243 - 1244. INST ENGINEERING TECHNOLOGY-IET, 2002. Disponible en Internet en: <<https://doi.org/10.1049/el:20020864>>. ISSN 0013-5194, ISSN 1350-911X

DOI: 10.1049/el:20020864**Código WOS:** WOS:000180780300005**Código Scopus:** 0037057258**Tipo de producción:** Artículo científico**Posición de firma:** 2**Nº total de autores:** 4**Fuente de impacto:** WOS (JCR)**Índice de impacto:** 1.072**Posición de publicación:** 51**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 1.542**Posición de publicación:** 44**Fuente de citas:** SCOPUS**Fuente de citas:** WOS**Tipo de soporte:** Revista**Categoría:** Science Edition - ENGINEERING, ELECTRICAL & ELECTRONIC**Revista dentro del 25%:** No**Num. revistas en cat.:** 203**Categoría:** Electrical and Electronic Engineering**Revista dentro del 25%:** Sí**Num. revistas en cat.:** 446**Citas:** 2**Citas:** 2

- 10** Fernández-García, Carlos; Parra-Fernández, Pilar; Baena-Oliva, Carmen; Valencia-Barrero, Manuel; Jiménez-Fernández, Carlos Jesús. Auto-tuning System for Maximum Operating Frequency in FPGA by Dynamic Reconfiguration. Springer Proceedings in Materials. 50, pp. 468 - 476. Springer Nature Switzerland, 2024. Disponible en Internet en: <https://doi.org/10.1007/978-3-031-64106-0_51>. ISSN 2662-3161, ISSN 2662-317X

DOI: 10.1007/978-3-031-64106-0_51**Código Scopus:** 85201733062**Tipo de producción:** Capítulo de libro**Posición de firma:** 2**Nº total de autores:** 5**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.237**Posición de publicación:** 88**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.237**Grado de contribución:** Autor/a o coautor/a de capítulo de libro**Categoría:** Ceramics and Composites**Revista dentro del 25%:** No**Num. revistas en cat.:** 127**Categoría:** Electronic, Optical and Magnetic Materials**Revista dentro del 25%:** No

**Posición de publicación:** 197**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.237**Posición de publicación:** 95**Fuente de impacto:** SCOPUS (SJR)**Índice de impacto:** 0.237**Posición de publicación:** 197**Fuente de citas:** SCOPUS**Num. revistas en cat.:** 262**Categoría:** Metals and Alloys**Revista dentro del 25%:** No**Num. revistas en cat.:** 170**Categoría:** Renewable Energy, Sustainability and the Environment**Revista dentro del 25%:** No**Num. revistas en cat.:** 245**Citas:** 0

- 11** Carlos Jesús Jiménez Fernández; María del Carmen Baena Oliva; María del Pilar Parra Fernández; Manuel Valencia Barrero; Francisco Eugenio Potestad Ordóñez; Erica Tena Sánchez; Alejandro Gallardo Soto. Enseñanza basada en diseños propuestos por los alumnos: caso práctico. Libro de actas TAAE 2022 XV Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica: Livro de procedimentos TAAE 2022 XV Conferência em Tecnologia, Aprendizagem e Ensino da Eletrônica=Proceedings book TAAE 2022 XV International Conference of Technology, Learning and Teaching of Electronics. Escuela Universitaria Politécnica de Teruel, 2022. ISBN 978-84-09-42360-6

Código de Dialnet: ARTLIB 8650051**Tipo de producción:** Capítulo de libro**Posición de firma:** 3**Nº total de autores:** 7**Fuente de citas:** Dialnet**Tipo de soporte:** Libro**Grado de contribución:** Autor/a o coautor/a de capítulo de libro**Citas:** 0

Trabajos presentados en congresos nacionales o internacionales

- 1** **Título del trabajo:** Project-based learning of digital design: Using RGB LEDs
Tipo evento: Congreso
 Jiménez-Fernández, Carlos Jesús; Oliva, Carmen Baena; Fernández, Pilar Parra; Barrero, Manuel Valencia. "Project-based learning of digital design: Using RGB LEDs". En: 16th Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica, TAAE 2024. IEEE, 2024. Disponible en Internet en: <<https://doi.org/10.1109/TAAE59541.2024.10605019>>. ISBN 9798350348675
DOI: 10.1109/TAAE59541.2024.10605019
Código WOS: WOS:001289443800090
Código Scopus: 85201270564
- 2** **Título del trabajo:** Aprendizaje de diseño digital basado en proyectos:: Uso de leds RGB
Tipo evento: Congreso
 Carlos Jesús Jiménez Fernández; María del Carmen Baena Oliva; María del Pilar Parra Fernández; Manuel Valencia Barrero. "Aprendizaje de diseño digital basado en proyectos:: Uso de leds RGB". En: XVI Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (TAAE 2024). Libro de actas: XVI Conferência em Tecnologia, Aprendizagem e Ensino da Eletrônica (TAAE 2024). Livro de atas.XVI International Conference of Technology, Learning and Teaching of Electronics (TAAE 2024). Proceedings book. pp. 479 - 484. Universidad de Málaga (UMA), 2024. ISBN 978-84-09-63040-0
Código de Dialnet: ARTLIB 9757994
- 3** **Título del trabajo:** ICs tester design and its effect on application in electronics laboratories
Tipo evento: Congreso
 Potestad-Ordóñez, F. E.; Jimenéz-Fernández, C. J.; Gallardo-Soto, A.; Valencia-Barrero, M.; Baena-Oliva, C.; Parra-Fernández, P.; Tena-Sánchez, Erica. "ICs tester design and its effect on



application in electronics laboratories". En: 15th International Conference of Technology, Learning and Teaching of Electronics, TAE 2022 - Proceedings. IEEE, 2022. Disponible en Internet en: <<https://doi.org/10.1109/TAE 2022.9840565>>. ISBN 9781665421614

DOI: 10.1109/TAE 2022.9840565

Código Scopus: 85137120969

4 Título del trabajo: Teaching based on proposed by students designs: a case study

Tipo evento: Congreso

Jiménez-Fernández, Carlos Jesús; Baena Oliva, Carmen; Parra Fernández, Pilar; Valencia Barrero, Manuel; Potestad Ordóñez, Francisco Eugenio; Tena Sánchez, Erica; Gallardo Soto, Alejandro. "Teaching based on proposed by students designs: a case study". En: 15th International Conference of Technology, Learning and Teaching of Electronics, TAE 2022 - Proceedings. IEEE, 2022. Disponible en Internet en: <<https://doi.org/10.1109/TAE 2022.9840588>>. ISBN 9781665421614

DOI: 10.1109/TAE 2022.9840588

Código Scopus: 85137082108

5 Título del trabajo: Desarrollo de un juego sobre FPGA mediante trabajo en equipo

Tipo evento: Congreso

Carlos Jesús Jiménez Fernández; María del Carmen Baena Oliva; María del Pilar Parra Fernández; Alejandro Gallardo Soto; F. Eugenio Potestad Ordóñez; Manuel Valencia Barrero. "Desarrollo de un juego sobre FPGA mediante trabajo en equipo". En: XIV Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica: Proceedings TAE 2020 = XIV Conferência em Tecnologias Aplicadas ao Ensino da Eletrónica = XIV Conference on Technology, Teaching and Learning of Electronics. pp. 279 - 284. Instituto Superior de Engenharia do Porto, 2020. Disponible en Internet en: <<https://idus.us.es/handle/11441/129270>>. ISBN 978-989-54758-3-4

Handle: 11441/129270

Código de Dialnet: ARTLIB 8186196

6 Título del trabajo: Learning VHDL through teamwork FPGA game design

Tipo evento: Congreso

Jiménez Fernández, Carlos Jesús; Baena Oliva, María del Carmen; Parra Fernández, María del Pilar; Gallardo Soto, Alejandro; Potestad Ordóñez, Francisco E.; Valencia Barrero, Manuel. "Learning VHDL through teamwork FPGA game design". En: Proceedings - 2020 14th Technologies Applied to Electronics Teaching Conference, TAE 2020. IEEE, 2020. Disponible en Internet en: <<https://doi.org/10.1109/TAE 2020.9163756>>. ISBN 9781728167329

DOI: 10.1109/TAE 2020.9163756

Handle: 11441/106049

Código WOS: WOS:000623210700044

Código Scopus: 85091862336

7 Título del trabajo: Floorplanning as a practical countermeasure against clock fault attack in Trivium stream cipher

Tipo evento: Congreso

Potestad Ordóñez, Francisco E.; Jiménez Fernández, Carlos Jesús; Baena Oliva, María del Carmen; Parra Fernández, María del Pilar; Valencia Barrero, Manuel. "Floorplanning as a practical countermeasure against clock fault attack in Trivium stream cipher". En: Proceedings - 33rd Conference on Design of Circuits and Integrated Systems, DCIS 2018. 2019. Disponible en Internet en: <<https://doi.org/10.1109/DCIS.2018.8681467>>. ISBN 9781728101712

DOI: 10.1109/DCIS.2018.8681467

Handle: 11441/105829

Código WOS: WOS:000467738200011

Código Scopus: 85064628281

**8 Título del trabajo:** FPGA design example for maximum operating frequency measurements**Tipo evento:** Congreso

Jiménez Fernández, Carlos Jesús; Parra Fernández, María del Pilar; Baena Oliva, María del Carmen; Valencia Barrero, Manuel; Potestad Ordóñez, Francisco E. "FPGA design example for maximum operating frequency measurements". En: 2018 XIII TECHNOLOGIES APPLIED TO ELECTRONICS TEACHING CONFERENCE (TAE). IEEE, 2018. Disponible en Internet en: <<https://doi.org/10.1109/TAE.2018.8476046>>. ISBN 978-1-5386-0928-6

DOI: 10.1109/TAE.2018.8476046**Handle:** 11441/94621**Código WOS:** WOS:000448887500023**Código Scopus:** 85055653491**9 Título del trabajo:** Medición de distancias como ejemplo práctico de diseño en FPGAs**Tipo evento:** Congreso

Jiménez Fernández, Carlos J.; Parra Fernández, María P.; Baena Oliva, María C.; Valencia Barrero, Manuel; Fabricio de Potestad. "Medición de distancias como ejemplo práctico de diseño en FPGAs". En: Tecnología, Aprendizaje y Enseñanza de la Electrónica : Actas del XIII Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica, Tenerife, 20-22 de junio, 2018. pp. 593 - 596. Universidad de La Laguna, 2018. ISBN 978-84-09-03113-9

Código de Dialnet: ARTLIB 6828095**10 Título del trabajo:** Distance measurement as a practical example of FPGA design**Tipo evento:** Congreso

Jiménez Fernández, Carlos Jesús; Fernández Parra, María del Pilar; Baena Oliva, María del Carmen; Barrero Valencia, Manuel; Potestad Ordóñez, Francisco E. "Distance measurement as a practical example of FPGA design". En: 2018 XIII TECHNOLOGIES APPLIED TO ELECTRONICS TEACHING CONFERENCE (TAE). IEEE, 2018. Disponible en Internet en: <<https://doi.org/10.1109/TAE.2018.8476143>>. ISBN 978-1-5386-0928-6

DOI: 10.1109/TAE.2018.8476143**Handle:** 11441/94619**Código WOS:** WOS:000448887500051**Código Scopus:** 85055670350**11 Título del trabajo:** Ejemplo de diseño FPGA para medidas de máximas frecuencias de operación**Tipo evento:** Congreso

Jiménez Fernández, Carlos J.; Parra Fernández, María P.; Baena Oliva, María C.; Valencia Barrero, Manuel; Potestad Ordóñez, Francisco E. "Ejemplo de diseño FPGA para medidas de máximas frecuencias de operación". En: Tecnología, Aprendizaje y Enseñanza de la Electrónica : Actas del XIII Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica, Tenerife, 20-22 de junio, 2018. pp. 587 - 592. Universidad de La Laguna, 2018. ISBN 978-84-09-03113-9

Código de Dialnet: ARTLIB 6828096**12 Título del trabajo:** An Improved Differential Pull-down Network Logic Configuration for DPA Resistant Circuits**Tipo evento:** Congreso

Castro, J.; Parra, P.; Acosta, A. J. "An Improved Differential Pull-down Network Logic Configuration for DPA Resistant Circuits". En: 2010 INTERNATIONAL CONFERENCE ON MICROELECTRONICS. pp. 311 - 314. IEEE, 2010. Disponible en Internet en: <<https://doi.org/10.1109/ICM.2010.5696147>>. ISBN 978-1-61284-151-9

DOI: 10.1109/ICM.2010.5696147**Código WOS:** WOS:000290617900079**Código Scopus:** 79951702785

**13 Título del trabajo:** A switching noise vision of the optimization techniques for low-power synthesis**Tipo evento:** Congreso

Castro, Javier; Parra, Pilar; Valencia, Manuel; Acosta, Antonio J. "A switching noise vision of the optimization techniques for low-power synthesis". En: 2007 EUROPEAN CONFERENCE ON CIRCUIT THEORY AND DESIGN, VOLS 1-3. pp. 156 - 159. IEEE, 2007. Disponible en Internet en: <<https://doi.org/10.1109/ECCTD.2007.4529560>>. ISBN 978-1-4244-1341-6

DOI: 10.1109/ECCTD.2007.4529560**Código WOS:** WOS:000258708400040**Código Scopus:** 49749105568**Trabajos presentados en jornadas, seminarios, talleres de trabajo y/o cursos nacionales o internacionales****1 Título del trabajo:** Diseño de circuitos integrados y seguridad de circuitos criptográficos frente a ataques

Jiménez Fernández, Carlos Jesús; Valencia Barrero, Manuel; Parra Fernández, María del Pilar; Acosta Jiménez, Antonio José; Mora Merchán, Javier M.; Tena Sánchez, Erica; Potestad Ordóñez, Francisco E.. "Diseño de circuitos integrados y seguridad de circuitos criptográficos frente a ataques". En: III Jornada de investigación y postgrado: Libro de Actas. 3CIENCIAS, 2016, pp. 23 - 30. Disponible en Internet en: <<https://idus.us.es/handle/11441/69559>>. ISBN 978-84-946089-7-1

Handle: 11441/69559**Código de Dialnet:** ARTLIB 5875436**2 Título del trabajo:** Educational applications of a pico-processor design

Jiménez Fernández, Carlos Jesús; Baena, Carmen; Parra, Pilar; Valencia, Manuel; Lopéz-Hinojo, Antonio A.. "Educational applications of a pico-processor design". En: Proceedings of 2016 Technologies Applied to Electronics Teaching, TAEE 2016. 2016, Disponible en Internet en: <<https://doi.org/10.1109/TAEE.2016.7528250>>. ISBN 9781509022649

DOI: 10.1109/TAEE.2016.7528250**Handle:** 11441/129277**Código Scopus:** 84992036741**3 Título del trabajo:** Creating helping posters for electronic labs

Jiménez Fernández, Carlos Jesús; Parra Fernández, María del Pilar; Baena Oliva, Carmen; Valencia Barrero, Manuel. "Creating helping posters for electronic labs". En: Proceedings of 2016 Technologies Applied to Electronics Teaching, TAEE 2016. 2016, Disponible en Internet en: <<https://doi.org/10.1109/TAEE.2016.7528249>>. ISBN 9781509022649

DOI: 10.1109/TAEE.2016.7528249**Handle:** 11441/129275**Código WOS:** WOS:000383221600012**Código Scopus:** 84992122581**4 Título del trabajo:** Optimization of clock-gating Structures for low-leakage high-performance Applications

Castro, J; Parra, P; Acosta, AJ. "Optimization of clock-gating Structures for low-leakage high-performance Applications". En: 2010 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. IEEE, 2010, pp. 3220 - 3223. Disponible en Internet en: <<https://doi.org/10.1109/ISCAS.2010.5537934>>. ISBN 978-1-4244-5309-2

DOI: 10.1109/ISCAS.2010.5537934**Código WOS:** WOS:000287216003109**Código Scopus:** 77955993300



- 5 Título del trabajo:** Switching noise optimization in the wake-up phase of leakage-aware power gating structures
Castro, Javier; Parra, Pilar; Acosta, Antonio J.. "Switching noise optimization in the wake-up phase of leakage-aware power gating structures". En: INTEGRATED CIRCUIT AND SYSTEM DESIGN: POWER AND TIMING MODELING, OPTIMIZATION AND SIMULATION. 5953 LNCS. SPRINGER, 2010, pp. 76 - 85. Disponible en Internet en: <https://doi.org/10.1007/978-3-642-11802-9_12>. ISBN 3-540-39094-4, ISBN 978-3-642-36156-2, ISBN 978-3-642-36157-9, ISBN 978-3-642-11801-2, ISBN 978-3-540-74441-2
DOI: 10.1007/978-3-642-11802-9_12
Código WOS: WOS:000278807700008
Código Scopus: 77951140423
- 6 Título del trabajo:** Effects of buffer insertion on the average/peak power ratio in CMOS VLSI digital circuits
Acosta, Antonio J.; Mora, José M.; Castro, Javier; Parra, Pilar. "Effects of buffer insertion on the average/peak power ratio in CMOS VLSI digital circuits". En: VLSI CIRCUITS AND SYSTEMS III. 6590. SPIE-INT SOC OPTICAL ENGINEERING, 2007, Disponible en Internet en: <<https://doi.org/10.1117/12.724162>>. ISBN 978-0-8194-6718-8
DOI: 10.1117/12.724162
Handle: 11441/71150
Código WOS: WOS:000250425000008
Código Scopus: 36248977569
- 7 Título del trabajo:** A methodology for switching noise estimation at gate level
Castro, Javier; Parra, Pilar; Acosta, Antonio J.. "A methodology for switching noise estimation at gate level". En: VLSI CIRCUITS AND SYSTEMS III. 6590. SPIE-INT SOC OPTICAL ENGINEERING, 2007, Disponible en Internet en: <<https://doi.org/10.1117/12.724164>>. ISBN 978-0-8194-6718-8
DOI: 10.1117/12.724164
Código WOS: WOS:000250425000030
Código Scopus: 36248967594
- 8 Título del trabajo:** Application of clock gating techniques at a flip-flop level to switching noise reduction in VLSI circuits
Autor de correspondencia: Sí
Parra, Pilar; Castro, Javier; Valencia, Manuel; Acosta, Antonio J.. "Application of clock gating techniques at a flip-flop level to switching noise reduction in VLSI circuits". En: VLSI CIRCUITS AND SYSTEMS II, PTS 1 AND 2. 5837. SPIE-INT SOC OPTICAL ENGINEERING, 2005, pp. 1003 - 1014. Disponible en Internet en: <<https://doi.org/10.1117/12.608276>>. ISBN 0-8194-5832-5
DOI: 10.1117/12.608276
Código WOS: WOS:000231723000103
Código Scopus: 28444433751
- 9 Título del trabajo:** Performance analysis of full adders in CMOS technologies
Castro, Javier; Parra, Pilar; Acosta, Antonio J.. "Performance analysis of full adders in CMOS technologies". En: VLSI CIRCUITS AND SYSTEMS II, PTS 1 AND 2. 5837. SPIE-INT SOC OPTICAL ENGINEERING, 2005, pp. 339 - 348. Disponible en Internet en: <<https://doi.org/10.1117/12.608269>>. ISBN 0-8194-5832-5
DOI: 10.1117/12.608269
Código WOS: WOS:000231723000035
Código Scopus: 28344447145



10 Título del trabajo: Switching noise reduction in clock distribution in mixed-mode VLSI circuits

Autor de correspondencia: Sí

Parra, P; Acosta, AJ; Valencia, M. "Switching noise reduction in clock distribution in mixed-mode VLSI circuits". En: VLSI CIRCUITS AND SYSTEMS. 5117. SPIE-INT SOC OPTICAL ENGINEERING, 2003, pp. 564 - 573. Disponible en Internet en: <<https://doi.org/10.1117/12.498971>>. ISBN 0-8194-4977-6

DOI: 10.1117/12.498971

Código WOS: WOS:000183950600057

Código Scopus: 0042829456

11 Título del trabajo: Analysis of current-mode flip-flops in CMOS technologies

Jimenez, R; Parra, P; Sanmartin, PM; Acosta, AJ. "Analysis of current-mode flip-flops in CMOS technologies". En: VLSI CIRCUITS AND SYSTEMS. 5117. SPIE-INT SOC OPTICAL ENGINEERING, 2003, pp. 515 - 526. Disponible en Internet en: <<https://doi.org/10.1117/12.498978>>. ISBN 0-8194-4977-6

DOI: 10.1117/12.498978

Código WOS: WOS:000183950600052

Código Scopus: 0041780804