

AVISO IMPORTANTE – El Curriculum Vitae no podrá exceder de 4 páginas. Para rellenar correctamente este documento, lea detenidamente las instrucciones disponibles en la web de la convocatoria.

Fecha del CVA	26/07/2024
----------------------	------------

Part A. DATOS PERSONALES

Nombre	Luis		
Apellidos	Parrilla Roure		
Sexo (*)		Fecha de nacimiento (dd/mm/yyyy)	
DNI, NIE, pasaporte			
Dirección email	luis@ugr.es	URL Web	
Open Researcher and Contributor ID (ORCID) (*)	0000-0001-8126-1146		

* datos obligatorios

A.1. Situación profesional actual

Puesto	Profesor Titular de Universidad		
Fecha inicio	30/05/2000		
Organismo/ Institución	Universidad de Granada		
Departamento/ Centro	Dpto. de Electrónica y Tecnología de Computadores		
País	España	Teléfono	958240498
Palabras clave	FPGA, Criptografía, Instrumentación inteligente		

A.2. Situación profesional anterior (incluye interrupciones en la carrera investigadora, de acuerdo con el Art. 14. b) de la convocatoria, indicar meses totales)

Periodo	Puesto/ Institución/ País / Motivo interrupción
---------	---

(Incorporar todas las filas que sean necesarias)

A.3. Formación Académica

Grado/Master/Tesis	Universidad/País	Año
Lic. Ciencias Físicas	Universidad de Granada	1993
Ingeniero en Electrónica	Universidad de Granada	1995
Doctor en Ciencias Físicas	Universidad de Granada	1997

(Incorporar todas las filas que sean necesarias)

Parte B. RESUMEN DEL CV (máx. 5000 caracteres, incluyendo espacios): *MUY IMPORTANTE: se ha modificado el contenido de este apartado para progresar en la adecuación a los principios DORA. Lea atentamente las "Instrucciones para cumplimentar el CVA"*

Es Licenciado en Ciencias Físicas (1993) e Ingeniero Electrónico (1995) por la Universidad de Granada, y Doctor en Ciencias Físicas (1997) también por la Universidad de Granada. Inicio su carrera docente e investigadora en 1995 como profesor asociado en el Departamento de Electrónica y Tecnología de Computadores. Desde Junio del 2000 es Profesor Titular de Universidad en dicho Departamento, en el cual ocupa actualmente el cargo de Secretario. La actividad docente la ha desarrollado fundamentalmente en las titulaciones de Ingeniería Electrónica, Ingeniería de Telecomunicaciones, y actualmente, en el Grado de Ingeniera en Electrónica Industrial y el Máster en Electrónica Industrial.

Su carrera investigadora se ha desarrollado en el grupo de investigación DiTEC (Técnicas digitales, código TIC-127 del PAIDI, <http://ditec.ugr.es>) del Dpto. de Electrónica y Tecnología de Computadores de la Universidad de Granada, del que forma parte desde su fundación, y del que es investigador responsable desde septiembre de 2010. Inició su trabajo de investigación en el campo de la minimización de funciones lógicas AND-XOR, que sería el tema de su tesis doctoral y daría lugar a varias publicaciones en revistas indexadas.



Posteriormente, se introdujo en la línea del diseño de circuitos aritméticos para procesamiento de altas prestaciones. Esta línea dio lugar a la concesión de una serie de proyectos de I+D del Plan Nacional, en las que participó como investigador colaborador, y a la lectura de una primera tesis doctoral. En el año 2004 inicio una nueva línea dedicada a la protección de la propiedad intelectual de sistemas hardware descritos en VHDL que daría lugar a una tesis doctoral, y la concesión de un proyecto de investigación coordinado del Plan Nacional (TEC-2007-68074-C02), entre la Universidad de Granada y la Universidad Autónoma de Madrid, del que fue coordinador e investigador principal del subproyecto TEC-2007-68074-C02-01. Posteriormente, sus líneas de investigación evolucionaron, primero hacia el desarrollo de instrumentación reconfigurable para aplicaciones biomédicas, liderando un proyecto CEI-BIOTIC en 2013, y segundo, hacia el desarrollo de coprocesadores criptográficos para asegurar las comunicaciones de datos e información en dispositivos IoT. La primera de estas líneas de investigación dio lugar a varias publicaciones indexadas, y al desarrollo de un instrumento para realizar Electrocardiografía Fetal (FECG). La otra línea, dedicada al desarrollo de coprocesadores criptográficos para permitir la seguridad en dispositivos con bajos recursos, ha dado lugar a la dirección de 2 tesis doctorales, la dirección actual de 2 más, y la concesión de dos proyectos de investigación: el proyecto B-TIC-588-UGR20 (HardSec4IoT) para proporcionar seguridad hardware a dispositivos IoT, y recientemente, el proyecto PID2022-140934OB-I00), para habilitar capacidades Blockchain en dispositivos IoT. Esta línea ha generado además hasta el momento más de 10 publicaciones Q1 y Q2 y le ha llevado a firmar contratos de investigación con empresas como MELFOSUR S.L. para la mejora de la gestión energética, y para el desarrollo de dispositivos IoT para la monitorización del consumo eléctrico y la calidad de la red, y la publicación de artículos de investigación sobre modelado de baterías.

En cuanto a comités científicos y responsabilidades editoriales, es investigador responsable del grupo de investigación Técnicas Digitales (DiTEC, TIC-127) desde octubre de 2010 y ha colaborado en la organización de varios congresos internacionales. En este sentido, ha sido General Chair del congreso internacional “XXXI Design of Circuits and Integrated Systems Conference–DCIS2016”, celebrado en Granada del 23 al 25 de noviembre de 2016, es miembro del Steering Committee del congreso “Design of Circuits and Integrated Systems Conference” desde julio de 2017, y es miembro del Program Committee del congreso “Conference on PhD Research in Microelectronics and Electronics (PRIME) desde 2017. Es miembro de IEEE e IEEE Circuits and Systems Society, y ha revisado casi 100 artículos en publicaciones indexadas como IEEE Transactions on Information Forensics and Security, IEEE Transactions on Computers, IEEE Transactions on VLSI Systems, IET Information Security o Digital Signal Processing, y ha actuado como editor, entre otros, del Special Issue “Emerging Applications of Recent FPGA Architectures” de la revista “Electronics” (Q2). Todo este trabajo ha dado lugar a la publicación de más de 50 contribuciones a revistas indexadas y congresos internacionales, 2 libros de investigación (GS=11s5Z_EAAAAJ) y la contribución a más de 10 proyectos (más de 1.000.000 €) en los diversos programas nacionales y regionales, liderando 3 de ellos, así como varios contratos de transferencia de tecnología (alrededor de 200.000 €). Ha obtenido 4 sexenios de investigación, 1 complemento de transferencia por la CNEAI y 5 complementos autonómicos.

Part C. LISTADO DE APORTACIONES MÁS RELEVANTES (últimos 10 años).

C.1. Publicaciones más importantes en libros y revistas con “peer review” y conferencias (ver instrucciones).

- J. A. López-Villanueva, P. Rodríguez-Iturriaga, **L. Parrilla**, S.Rodríguez-Bolívar, “A compact model of the ZARC for circuit simulators in the frequency and time domains,” AEU - International Journal of Electronics and Communications, Volume 153, (2022, Q2)
- A. Martín-Martín, R. Padial-Allué, E. Castillo, **L. Parrilla**, I. Parellada-Serrano, A. Morán, A. García, Hardware Implementations of a Deep Learning Approach to Optimal Configuration of Reconfigurable Intelligence Surfaces. Sensors 2024, vol. 24, no. 3, pp 899 (2024, Q2).
- A. Morán, **L. Parrilla**, M. Roca, J. Font-Roselló, E. Isem, V. CanasI, “Digital implementation of Radial Basis Function Neural Networks based on Stochastic Computing”, IEEE Journal



- on Emerging and Selected Topics in Circuits and Systems (Accepted for publication). DOI: DOI 10.1109/JETCAS.2022.3231708. (2022, Q2).
- A.J. Cabrera-Gutiérrez, E. Castillo, A. Escobar-Molero, J.A. Álvarez-Bermejo, Diego P. Morales, **L. Parrilla**, "Integration of Hardware Security Modules and Permissioned Blockchain in Industrial IoT Networks", IEEE Access, Vol. 10, pp. 114331-114345. (2022, Q2).
 - V. Toral, F.J Romero, E. Castillo, D.P. Morales, A. Rivadeneyra, A. Salinas-Castillo, **L. Parrilla**, A. García, "A versatile wearable based on reconfigurable hardware for biomedical measurements", Measurement, Vol. 201, 111744. (2022, Q1).
 - E. Gómez-Marín, **L. Parrilla**, G. Mauro, A. Escobar-Molero, D.P. Morales, E. Castillo, "Resekra: Remote enrollment using sealed keys for remote attestation", Sensors, Vol. 22, No. 13, 5060. (2022, Q1).
 - **L. Parrilla**, A. Lloris, E. Castillo, A. García, "Table-free Seed Generation for Hardware Newton–Raphson Square Root and Inverse Square Root Implementations in IoT Devices", IEEE Internet of Things Journal, Vol. 9, No.9, pp. 6985-6995. (2021, Q1).
 - A. Mohamed Bellemou, A. García, E. Castillo, N. Benblidia, M. Anane, J. A. Álvarez-Bermejo, **L. Parrilla**, "Efficient Implementation on Low-Cost SoC-FPGAs of TLSv1. 2 Protocol with ECC_AES Support for Secure IoT Coordinators", Electronics, vol. 8, no. 11, 1238. (2019, Q2)
 - **L. Parrilla**, J.A. Álvarez-Bermejo, E. Castillo, J.A. López-Ramos, D.P. Morales, A. García, "Elliptic Curve Cryptography hardware accelerator for high-performance secure servers. The Journal of Supercomputing", 1107-1122. (2019, Q2)
 - **L. Parrilla**, E. Castillo, J. A. López-Ramos, J. A. Alvarez-Bermejo, A. García y D. P. Morales, "Unified compact ECC-AES co-processor with Group-Key support for IoT devices in Wireless Sensor Networks", Sensors, vol. 18 , no. 1, art. 251. (2018, Q1).
 - V. Toral-López, C. González, F.J. Romero, E. Castillo, **L. Parrilla**, A. García, D.P. Morales, "Reconfigurable electronics: Addressing the uncontrolled increase of waste electrical and electronic equipment". *Resources, Conservation and Recycling Volume 138 2018-11*, 47-48. (2018, Q1).
 - **L. Parrilla**, E. Castillo, E. Todorovich, D. P. Morales, A. García, y G. Botella, "Improvements for the applicability of power-watermarking to embedded IP Cores protection: e-coreIPP", Digital Signal Processing, vol .44, pp. 110-122. (2015, Q2).

C.2. Congresos, indicando la modalidad de su participación (conferencia invitada, presentación oral, póster)

- A. J. Cabrera-Gutierrez, E. Castillo, A. Escobar-Molero, D. P. Morales and **L. Parrilla**, (2023) "Blockchain-based implementation of Tradable Green Certificates," 2023 18th Conference on Ph.D Research in Microelectronics and Electronics (PRIME), Valencia, Spain, pp. 213-216. (Presentación oral).
- J. A. López Villanueva, S. Rodríguez-Bolívar, **L. Parrilla** and C. Fiñana, (2020) "Simple Single Particle Model for Interpreting Fast Charge Results in Intercalation Batteries," 2020 XXXV Conference on Design of Circuits and Integrated Systems (DCIS), Segovia, Spain, 2020, pp. 1-5,. (Presentación oral).
- **L. Parrilla**, AM Bellemou, A García, E. Castillo, (2019), "Efficient Elliptic Curve Cryptoprocessor for enabling TLS protocol in low-cost reconfigurable SoCs", 2019 XXXIV Conference on Design of Circuits and Integrated Systems (DCIS), November 20-22 Bilbao (Spain). (Presentación oral).
- **L. Parrilla**, J.A. Álvarez-Bermejo, E. Castillo, J.A. López-Ramos, D.P. Morales (2017) "Hardware implemented ECC co-processor for High-Performance Cryptographic Servers", 17th International Conference on Computational and Mathematical Methods in Science and Engineering, CMMSE 2017, Rota (Spain). (Presentación oral).

C.3. Proyectos o líneas de investigación en los que ha participado, indicando su contribución personal. En el caso de investigadores jóvenes, indicar líneas de investigación de las que hayan sido responsables .

- Proyecto: "Implementación Hardware de Tangle y Blockchain para dispositivos IoT e IIoT con criptografía ligera y post-cuántica" (cód. PID2022-140934OB-I00)



Entidad financiadora/Programa: Ministerio de Ciencia e Innovación (Spain)
Investigador principal: **Luis Parrilla Roure** and Encarnación Castillo Morales
Fechas: 01/09/2023 a 31/08/2026. Financiación: 60.375 €.

- Proyecto: "Seguridad Hardware para el intercambio de información en dispositivos IoT (HardSec4IoT)" (cód. B-TIC-588-UGR20)
Entidad financiadora/Programa: Consejería de Economía y Conocimiento de la Junta de Andalucía (Spain) and by the European Regional Development Funds (ERDF)
Investigador principal: **Luis Parrilla Roure** and Encarnación Castillo Morales
Fechas: 01/07/2021 a 30/06/2023. Financiación: 25.000 €.
- Proyecto: "Desarrollo de superficies inteligentes reconfigurables 3D para comunicaciones inalámbricas inteligentes y energéticamente sostenibles". (cód. TED2021-129938B-I00)
Entidad financiadora/Programa: Proyectos orientados a la transición ecológica y digital del PE de investigación técnica y de innovación 21-23.
Investigador principal: Juan Francisco Valenzuela Valdés and María Encarnación Castillo Morales.
Fechas: 01/12/2022 a 30/11/2024. Financiación: 479.320 €
- Proyecto: "Sistema de adquisición y procesamiento de señales electrocardiográficas compacto basado en electrónica reconfigurable: Aplicación al estudio del bienestar fetal" (cód. BioTIC-2013-P81)
Entidad financiadora/Programa: CEI BioTIC (consorcio UGR, CSIC y PTS Granada)
Investigador principal: **Luis Parrilla Roure**
Fechas: 01/01/2013 a 31/12/2013. Financiación: 23.000€
- Proyecto: "Criptoprocador basado en curvas elípticas para protección de comunicaciones biomédicas" (ref. CEI2014-MPTIC3)
Entidad financiadora/Programa: Ministerio de Ciencia e Innovación (CEI-BioTIC, GRANADA)
Investigador principal: E Castillo.
Fechas: 8/05/2014 a 31/12/2014 Financiación: 3.000€
- Proyecto: "Protección eficiente de la propiedad intelectual de módulos IP en descripciones de alto nivel (IPP@HDL): Watermarking y transparencia del sistema" (cód. TEC2007-68074-C02-01)
Entidad financiadora/Programa: Ministerio de Educación y Ciencia
Investigador principal: **Luis Parrilla Roure**
Fechas: 1/10/2007 a 31/12/2010. Financiación: 56.265 €

C.4. Participación en actividades de transferencia de tecnología/conocimiento y explotación de resultados.

- Contrato: "R&D development for IoT tools: platform for ultra-low power wearable sensors" (Contrato nº C-4356-00)
Empresa contratadora: eesy-innovation GmbH (Riemerling, Germany)
Entidad: Fundación General Universidad de Granada – Empresa
Financiación: 17.037,57 €, Fechas: 01/11/2016 a 31/10/2019
Investigadores principales: Diego P. Morales Santos and Antonio García Ríos
- Contrato: " Desarrollo de firmware para un sistema de medición de variables eléctricas con conexión a Internet" (Contrato nº C-4483-00)
Empresa contratadora: MFS-IDI. S.L.
Entidad: Fundación General Universidad de Granada - Empresa
Financiación: 10.000 €, Fechas: 12/12/2017 a 12/12/2018
Investigadores principales: **Luis Parrilla Roure** and Salvador Rodríguez Bolívar
- Contrato: "Hardware Secured IoT Server" (Contrato nº C-3770-01)
Empresa contratadora: Infineon Technologies AG (Munich, Alemania)
Entidad: Fundación General Universidad de Granada - Empresa
Financiación: 13.547€, Fechas: 01/11/2016 al 30/06/2017
Investigadores principales: Diego P. Morales Santos y Encarnación Castillo Morales