

CURRICULUM VITAE ABREVIADO (CVA)

Fecha del CVA 01/07/24

Parte A. DATOS PERSONALES

Nombre	MARIA JOSE		
Apellidos	AVEDILLO DE JUAN		
Sexo (*)	M	Fecha de nacimiento (dd/mm/yyyy)	
DNI, NIE, pasaporte			
Dirección email	avedillo@us.es	URL Web	URL Web https://prisma.us.es/investigador/262
Open Researcher and Contributor ID (ORCID) (*)	0000-0002-8345-8441		

* datos obligatorios

A.1. Situación profesional actual

Puesto	Catedrático de Universidad		
Fecha inicio	30/04/2010		
Organismo/ Institución	Universidad de Sevilla		
Departamento/ Centro	Electrónica y Electromagnetismo / Instituto de Microelectrónica de Sevilla		
País	España	Teléfono	
Palabras clave	Low power, Energy efficiency, Emerging Devices, Oscillatory neural networks, High Level Syntesis, Hardware platforms		

A.2. Situación profesional anterior (incluye interrupciones en la carrera investigadora, de acuerdo con lo indicado en la convocatoria, indicar meses totales)

Periodo	Puesto/ Institución/ País / Motivo interrupción
1995-2010	Profesora Titular de Universidad/ Universidad de Sevilla / España
1992 -1995	Profesora Ayudante / Universidad de Sevilla / España
1988-1991	Becaria FPI/ Universidad de Sevilla / España

A.3. Formación Académica

Grado/Master/Tesis	Universidad/Pais	Año
Doctorado Física	Universidad de Sevilla	1992
Licenciatura en Física	Universidad de Sevilla	1987

(Incorporar todas las filas que sean necesarias)

Parte B. RESUMEN DEL CV (máx. 5.000 caracteres, incluyendo espacios)
Principales indicadores
Sexenios de investigación: 5 (último en 2018)
Tesis Doctorales dirigidas: 4
Q1: 10 (JCR), 21 (SCI)
Citas: GOOGLE Scholar (1559) Scopus (957), WOS (677)
Índice h: GOOGLE Scholar (20) Scopus (15), WOS (14)
Índice i10: GOOGLE Scholar (36)
Trayectoria profesional

Licenciada en Ciencias Físicas en 1987 y Doctora en Física en 1992, ambos por la Universidad de Sevilla (US). Pertenezco al Departamento de Electrónica y Electromagnetismo de la US desde 1988. Desde 1990 estoy adscrita al Instituto de Microelectrónica de Sevilla, en la actualidad centro

mixto del Consejo Superior de Investigaciones Científicas y la Universidad de Sevilla. Profesora Titular de Universidad desde 1995 y Catedrática de Universidad desde 2010.

Actualmente soy Co-coordinadora del Máster Universitario de Microelectrónica de la US, Vocal de la Comisión de Calidad del Programa de Doctorado de Ciencias y Tecnologías Físicas de la US, Investigadora principal del grupo PAIDI TEC178 de la Junta de Instituto y Jefa del Departamento de Diseño y Test de Circuitos Integrados de Señal Mixta del Instituto de Microelectrónica de Sevilla, IMSE-CNM (CSIC/Universidad de Sevilla).

Actividad Investigadora

Mis líneas de investigación se han centrado en el estudio de metodologías de diseño y test de circuitos integrados VLSI.

*Inicialmente, abordé el desarrollo de algoritmos de síntesis lógica y de técnicas de diseño para testabilidad. En esta línea se enmarca mi Tesis Doctoral. En 1994 recibí el **premio Kelvin** del IET por dos de mis artículos publicados ese año.*

*Otra línea de investigación en la que he trabajado es el estudio de lógica no booleana, tanto en lo que concierne a la realización eléctrica de sus componentes, como a su utilización como modelo computacional en el diseño digital. Una de mis publicaciones en esta línea sobre Lógica Umbral ha recibido un alto número de citas (**304 citas según Google Académico**).*

En los últimos años mi actividad investigadora se ha centrado fundamentalmente en el diseño de circuitos utilizando dispositivos Beyond CMOS y paradigmas de cálculo no convencionales. Contribuciones relevantes en este campo han sido:

- *Establecimiento de un vínculo entre la operación según el principio MOBILE (Monostable to Bistable Logic Element) de diodos de efecto túnel resonante y las funciones lógicas multi-umbral. Se derivó una topología para implementar de forma eficiente funcionalidades más complejas que las asociadas a puertas lógicas convencionales. El primer artículo de esta temática tiene 60 citas. Otros tres superan las 30.*
- *Desarrollo de una metodología de benchmarking de circuitos lógicos híbrida (simulación – analítica) que evalúa potencia, energía y distintas métricas que miden compromisos potencia-velocidad, considerando la frecuencia de operación, la actividad de conmutación, y la profundidad lógica como variables. Esta metodología se ha aplicado a un conjunto de tecnologías TFETs y a tecnologías bulk CMOS y FinFET (variantes LP y HP) identificándose los rangos de frecuencia en los que cada tecnología es ventajosa.*
- *Desarrollo de plataformas de computación basadas en la dinámica de un sistema de osciladores acoplados y como operarlas para distintos tipos de aplicaciones. En particular para resolver problemas de optimización combinatoria mediante una exploración probabilística de sus mínimos de energía.*

En total he publicado He publicado 47 artículos en revistas internacionales indexadas en el JCR. (11 en Q1 y 21 en Q2), 41 artículos indexados en el SCI (21 en Q1 y 17 en Q2). Tengo más de 100 contribuciones en congresos nacionales e internacionales.

He participado en 19 proyectos de investigación internacionales y nacionales, financiados por distintas administraciones y empresas.

Actividad de gestión

- *He sido presidenta del Programa Técnico de dos conferencias Internacionales.*
- *He colaborado con el Plan Nacional De I+D+i como Vocal de la Comisión de Selección de contratos Juan de la Cierva.*
- *He colaborado con el Plan Nacional De I+D+i como Vocal de la sub-área Dispositivos, Circuitos y Sistemas Electrónicos de la Comisión de Selección de Proyectos de Investigación del Programa Nacional de Tecnologías Electrónicas y de las Comunicaciones en dos convocatorias.*
- *He participado en actividades de IC&D de proyectos europeos como miembro del comité de expertos de evaluación y seguimiento cuyo objetivo era la monitorización y evaluación*

de las tareas de diseminación de la información científica contempladas en los contratos de los proyectos financiados por la Comisión Europea (Acción TARDIS).

Parte C. LISTADO DE APORTACIONES MÁS RELEVANTES - Pueden incluir publicaciones, datos, software, contratos o productos industriales, desarrollos clínicos, publicaciones en conferencias, etc. Si estas aportaciones tienen DOI, por favor, inclúyalo.

C.1. Publicaciones más importantes en libros y revistas con “peer review” y conferencias (ver instrucciones).

AC: autor de correspondencia; ($n^{\circ} x / n^{\circ} y$): posición / autores totales.

Si aplica, indique el número de citas y promedio por año.

- O. Maher, M. Jiménez, C. Delacour, S. Karg (último autor), “A CMOS-compatible oscillation-based VO₂ Ising machine solver”. *Nat Commun.* 15, 3334. 2024. **FI: 16.6, Q1. M.J. Avedillo** en posición 4/10 autores. DOI: 10.1038/s41467-024-47642-5. **International co-authoring.**
- **M. J. Avedillo**, M. J. Través, C. Delacour, A. Todri-Sanial, B. Linares-Barranco and J. Núñez, "Operating Coupled VO₂-Based Oscillators for Solving Ising Models," in *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 13, no. 4, pp. 901-913, Dec. 2023, doi: 10.1109/JETCAS.2023.3328887, **FI: 5.877, Q1. International co-authoring.**
- M. J. Través, J. Nunez, B. Linares Barranco and **M. J. Avedillo**, “Experimental demonstration of coupled differential oscillator networks for versatile applications”, *Front. Neurosci., Sec. Neuromorphic Engineering*, Vol. 17, Dec.2023, <https://doi.org/10.3389/fnins.2023.1294954>. **773 Full Text Views and 234 Downloads (Frontiers webpage).**
- J. Shamsi, **M. J. Avedillo**, B. Linares-Barranco and T. Serrano-Gotarredona, "Effect of Device Mismatches in Differential Oscillatory Neural Networks," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 2, pp. 872-883, Feb. 2023, doi: 10.1109/TCSI.2022.3221540. **368 Full Text Views (IEEE XPLORE).**
- A. Todri-Sanial *et al.*, "How Frequency Injection Locking Can Train Oscillatory Neural Networks to Compute in Phase," in *IEEE Transactions on Neural Networks and Learning Systems*, vol. 33, no. 5, pp. 1996-2009, May 2022, doi: 10.1109/TNNLS.2021.3107771. FI: 10.451, Q1. **Avedillo** en posición 10/11, **international co-authoring**, **24 cites (WOS), 33 (Google Academico).**
- J. Shamsi, **M. J. Avedillo**, T. Serrano and B. Linares-Barranco, “Hardware Implementation of Differential Oscillatory Neural Networks Using VO₂-Based Oscillators and Memristor-Bridge Circuits”. *Front. Neurosci., Sec. Neuromorphic Engineering*, vol. 15, 2021, <https://doi.org/10.3389/fnins.2021.674567>. **855 downloads, 18 cites according to Frontiers webpage.**
- J. Núñez, J.M. Quintana, **M.J. Avedillo** et al., “Insights into the Dynamics of Coupled VO₂ Oscillators for ONNs”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no 10, pp. 3356-3360, Oct. 2021 **FI: 3.292, Q2.** DOI: 10.1109/TCSII.2021.3085133 ISSN: 1549-7747. **(3/8, international co-authoring).**
- J. Núñez, **M.J. Avedillo**, M. Jiménez, B. Linares-Barranco et all, “Oscillatory Neural Networks using VO₂ based Phase Encoded Logic” *Frontiers in Neuroscience*, vol. 15, article 655823, 2021 FRONTIERS MEDIA DOI: 10.3389/fnins.2021.655823 ISSN: 1662-453X. **(2/8, international co-authoring) 899 Downloads (Frontiers webpage), 14 cites (WOS), 3246 Views ((Frontiers webpage).**
- **M.J. Avedillo** and J. Nuñez-Martínez (AC), 2019, “Power and Speed Evaluation of Hyper-FET Circuits”, *IEEE Access.* 7, pp. 6724 – 6732. **(1/2) 612 Full Text Views (IEEE XPLORE), 5 cites (WOS)**
- V. Beiu, J. M. Quintana and **M. J. Avedillo**, "VLSI implementations of threshold logic-a comprehensive survey," in *IEEE Transactions on Neural Networks*, vol. 14, no. 5, pp. 1217-

1243, Sept. 2003, doi: 10.1109/TNN.2003.816365. 1459 **Full Text Views (IEEE XPLORE)**, **304 cites (Google Academico)**. **International co-authoring**

- M.J Avedillo, J. M Quintana, H Pettenghi, PM Kelly, CJ Thompson, “Multi-threshold threshold logic circuit design using resonant tunnelling devices”, in *Electronics Letters*, Oct. 2003, **60 cites (Google Academico)**. **International co-authoring**

C.2. Congress, indicating the modality of their participation (invited conference, oral presentation, poster)

- J. Núñez, **M. J. Avedillo** and M. Jiménez, "Exploitation of Subharmonic Injection Locking for Solving Combinatorial Optimization Problems with Coupled Oscillators using VO2 based devices," 2023 19th *International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, Funchal, Portugal, 2023, pp. 1-4, doi: 10.1109/SMACD58065.2023.10192227. **ORAL**
- Núñez, S. Thomann, H. Amrouch, and **M.J. Avedillo**, "Mitigating the impact of variability in NCFET-based coupled-oscillator networks applications", *Proceedings 29th IEEE International Conference on Electronics, Circuits and Systems*, 2022. **ORAL**
- J. Núñez, M. Jiménez, B. Linares, **M. J. Avedillo**. "FeFETs for Phase Encoded Oscillatory based Computing". *Workshop on Ferroelectronics - Design, Automation and Test in Europe DATE*, 2022. **ORAL**
- Abernot, Madeleine; Gil, Thierry; Kurylin, Evgenii; Hardelin, Tanguy; Magueresse, Alexandre; Gonos, Theophile; Jimenez, Manuel; **M. J. Avedillo**; Todri-Sanial, Aida, "Oscillatory Neural Networks for Obstacle Avoidance on Mobile Surveillance Robot E4", *Proceedings of the International Joint Conference on Neural Network*, 2022, **ORAL**
- M. Jiménez, J. Núñez and **M.J. Avedillo**, "An Approach to the Device-Circuit Co-Design of HyperFET Circuits", *IEEE International Symposium on Circuits and Systems, ISCAS 2020*. **ORAL**
- J. Núñez and **M.J. Avedillo**, "Steep-slope Devices for Power Efficient Adiabatic Logic Circuits", *Conference on Design of Circuits and Integrated Systems DCIS 2020*. **ORAL**
- J. Núñez, M. Jiménez and **M.J. Avedillo**, "Device circuit co-design of HyperFET transistors", *Conference on Design of Circuits and Integrated Systems DCIS 2019*. **ORAL**
- J. Núñez and **M.J. Avedillo**, "Device Circuit Co-Design of HyperFET Transistors", *International Forum on Information Systems and Technologies INFOS*, 2019. **ORAL**
- H.J. Quintero, M. Jimenez, **M.J. Avedillo** and J. Núñez, "Inverting Versus Non-Inverting Dynamic Logic for Two-Phase Latch-free Nanopipelines", *Int. Conf. on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, SMACD*.
- J. Núñez and **M.J. Avedillo**, 2018, "Exploring Logic Architectures Suitable for TFETs Devices", *IEEE International Symposium on Circuits and Systems, ISCAS 2017*.

C.3. Research projects, indicating your personal contribution. In the case of young researchers, indicate lines of research for which they have been responsible.

- Two-Dimensional Oscillatory Neural Networks for Energy Efficient Neuromorphic Computing. EC H2020. ICT. IP de la US. 2020-2022. **IP US**
- *Circuitos y Arquitecturas con Dispositivos Steep Slope para Aplicaciones de muy Bajo Consumo de Potencia*. MINISTERIO DE ECONOMÍA Y COMPETITIVIDAD. 2018-2020. **IP**
- *Nano-Arquitecturas para Computación Lógica Usando Dispositivos Emergentes*. Ministerio De Economía Y Competitividad. 2014-2017. **IP**
- *Arquitecturas y Circuitos con RTDs para Aplicaciones Lógicas y no Lineales*. Ministerio De Economía Y Competitividad. 2011-2014. **IP**
- *Power, reliability and security challenges in advanced CMOS and beyond-CMOS devices and circuits (RESURGENCE) 2021-2022*. ([US-1380876](#)). **Investigador**.